논문 2013-50-11-16

SVM 기반 사물 인식을 위한 고성능 벡터 내적 연산 회로의 MPW 칩 구현 및 검증

(MPW Chip Implementation and Verification of High-performance
Vector Inner Product Calculation Circuit for SVM-based Object
Recognition)

신 재 호*, 김 수 진*, 조 경 순**

(Jaeho Shin, Soojin Kim, and Kyeongsoon Cho[©])

요 약

본 논문은 SVM 알고리즘 기반의 실시간 사물 인식을 위한 고성능 벡터 내적 연산 회로를 제안한다. SVM 알고리즘은 다른 사물 인식 알고리즘에 비해 인식률이 높지만 연산량이 많다. 벡터 내적 연산은 SVM 알고리즘 연산의 주요 연산으로 사용되므로 실시간 사물 인식을 위해서는 고성능 벡터 내적 연산 회로의 구현이 필수적이다. 제안하는 회로는 연산 속도를 높이기 위해 6단 파이프라인 구조를 적용하였으며 SVM 기반 실시간 사물 인식을 가능하게 한다. 제안하는 회로는 Verilog HDL을 사용하여 RTL로 구현하였으며 실리콘 검증을 위해 TSMC 180nm 표준 셀 라이브러리를 이용하여 MPW 칩으로 제작하였다. 테스트 보드와 검증 애플리케이션 소프트웨어를 개발하고 이를 사용하여 MPW 칩의 동작을 확인하였다.

Abstract

This paper proposes a high-performance vector inner product calculation circuit for real-time object recognition based on SVM algorithm. SVM algorithm shows a higher detection rate than other object recognition algorithms. However, it requires a huge amount of computational efforts. Since vector inner product calculation is one of the major operations of SVM algorithm, it is important to implement a high-performance vector inner product calculation circuit for real-time object recognition capability. The proposed circuit adopts the pipeline architecture with six stages to increase the operating speed and makes it possible to recognize objects in real time based on SVM. The proposed circuit was described in Verilog HDL at RTL. For silicon verification, an MPW chip was fabricated using TSMC 180nm standard cell library. The operation of the implemented MPW chip was verified on the test board with test application software developed for the chip verification.

Keywords : Vector inner product calculation, High-performance, SVM, Real-time object recognition, MPW

I. 서 론

지능형 자동차와 보안용 로봇 경찰 등에서 사용되는 사물 인식 기술에서 높은 인식률과 실시간 처리는 필수적이다. 사물 인식 기술에서는 그룹을 분류하고 인식할 때 그룹 간의 중심선인 초평면(hyper-plane)을 사용한

* 학생회원, ** 평생회원, 한국외국어대학교 전자공학과
(Department of Electronics Engineering, Hankuk
University of Foreign Studies)

© Corresponding Author(E-mail: kscho@hufs.ac.kr)

※ 이 논문은 2013년도 한국외국어대학교 교내학술연구비의 지원에 의한 것임.

접수일자 : 2013년8월5일, 수정완료일 : 2013년10월28일

다. 이러한 방법은 새로운 입력 데이터에 대해 분류 오류가 발생할 수 있어 높은 인식률과 실시간 처리를 요구하는 사물 인식 기술에는 적합하지 않다. Vladimir Vapnik과 AT&T Bell 연구실 팀은 이러한 분류 오류로 인한 인식률 감소를 해결하고자 SVM(Support Vector Machine) 알고리즘^[1]을 제안하였다. SVM 알고리즘은 서포트 벡터를 이용하여 여유 공간을 갖는 초평면을 만들어 사물을 분류한다. 이러한 방법을 통하여 SVM 알고리즘은 다른 사물 인식 알고리즘에 비해 분류 오류가 적게 발생하고 인식률이 높다는 장점을 갖는다. 반면 이 방법은 많은 양의 연산을 필요로 하므로, SVM 알고리즘을 사용하여 실시간으로 사물을 인식하려면 알고리즘을 회로로 구현하는 것이 적합하며 다양한 방법들이 연구되어 왔다^[2~5]. 벡터 내적 연산은 SVM 알고리즘 연산량의 큰 부분을 차지하고 있기 때문에 SVM 회로를 이용한 실시간 사물 인식을 위해서는 벡터 내적 연산 회로의 속도를 높이는 것이 중요하다. 본 논문에서는 VGA(Video Graphics Array) 크기의 영상을 실시간으로 처리할 수 있는 SVM 기반 사물 인식 회로 용 고성능 벡터 내적 연산 회로를 제안한다. 제안하는 벡터 내적 연산 회로의 성능을 제고하기 위해 6단 파이프라인 구조를 이용한 병렬회로 구조를 적용하였으며, 실리콘 검증용 위해 MPW(Multi-Project Wafer) 칩을 제작하였다. 테스트 보드를 제작하고 검증 애플리케이션 소프트웨어를 개발하여 MPW 칩 동작을 확인하였다.

II. 회로 구조

1. SVM에서 사용되는 벡터 내적 연산

SVM 알고리즘은 복잡하고 연산량이 많지만 인식률이 높기 때문에 정교한 사물 인식을 위해 사용된다. SVM 알고리즘에서는 학습 과정을 통해 사물 인식의 기준으로 사용되는 초평면을 결정하며 두 가지 초평면을 사용한다. 사물을 선형적으로 분리할 수 있는 경우에는 선형 초평면을 사용하며 선형적으로 분리할 수 없는 경우에는 비선형 초평면을 사용한다. 그림 1은 초평면 $D(z)$ 를 이용한 SVM 인식의 결과를 나타낸다. 식 (1)과 (2)는 각각 선형 초평면을 이용한 SVM 연산식과 비선형 초평면을 이용한 SVM 연산식을 나타낸다. a , y , s , z , m , n , b 는 각각 라그랑제 승수, 서포트 벡터가 속한 클래스 라벨, 서포트 벡터, 특징 벡터, 벡터 차원의

그림 1. 초평면을 이용한 SVM
Fig. 1. SVM using hyper-plane.

개수, 서포트 벡터의 개수, 바이어스를 나타낸다. 식 (3)과 (4)는 식 (2)의 커널 함수로 주로 사용되는 다항식 커널과 RBF(Radial Bias Function) 커널을 나타낸다. 식 (3)의 d 는 다항식의 차수를 나타내며, 식 (4)의 σ 는 가우시안 윈도우의 너비를 나타낸다. 이 식들을 통해 알 수 있듯이, 벡터 내적 연산은 SVM 연산의 대부분을 차지한다. 한 번의 벡터 내적 연산을 하려면, 선형 SVM의 경우 특징 벡터와 서포트 벡터 차원만큼의 곱셈이 필요하다. 2,160 차원의 벡터를 적용하는 경우 2,160번의 곱셈 및 이에 따르는 덧셈이 필요하다. 비선형 SVM에서는 커널 함수도 고려해야 하므로 훨씬 더 많은 수의 곱셈과 덧셈이 필요하다. 따라서 SVM을 이용한 사물 인식 회로의 속도를 높이기 위해서는 벡터 내적 연산 회로의 속도를 높이는 것이 중요하다.

$$D(z) = (s \cdot z) + b \quad (1)$$

$$D(z) = \left(\sum_{i=0}^{m-1} a_i y_i K_i(s_n, z_n) \right) + b \quad (2)$$

$$K_i(s_n, z_n) = (s_n \cdot z_n + 1)^d \quad (3)$$

$$K_i(s_n, z_n) = e^{-\|s_n - z_n\|^2 / 2\sigma^2} \quad (4)$$

2. 벡터 내적 연산 회로 구조

그림 2는 SVM 기반 사물 인식 회로에 적용하여 실시간으로 사물을 인식하기 위해 본 논문에서 제안하는 고성능 벡터 내적 연산 회로의 구조를 나타낸다. 제안하는 벡터 내적 연산 회로는 30쌍의 16 비트 특징 벡터 데이터와 서포트 벡터 데이터에 대한 내적 연산을 위해

그림 2. 벡터 내적 연산 회로 구조

Fig. 2. Architecture of vector inner product circuit.

30개의 곱셈기와 이들을 연결하는 덧셈기 트리로 구성하였다. 또한 6단 파이프라인 구조를 적용하여 연산 속도를 향상시켰다. 따라서 2,160 차원의 벡터를 입력으로 사용하는 SVM 기반 사물 인식 회로에 적용하면 8화소 단위로 이동하는 64×64 크기의 슬라이딩 윈도우를 이용하여 VGA급 크기(640×480)의 영상을 초당 약 50장 처리할 수 있다.

3. MPW 칩 회로 구조

그림 3은 실리콘 검증을 위해 제작한 MPW 칩 전체 회로 블록도를 나타낸다. 제안하는 MPW 칩 전체 회로 블록도는 입력 데이터를 제어하는 ‘MPW Input Data Controller’, 출력 데이터를 제어하는 ‘MPW Output Data Controller’, 벡터 내적을 연산하는 ‘Vector Inner Product Calculator’, 칩의 동작을 검증하기 위한 데이터를 저장하고 있는 ‘MPW Test Data Memory’, 예측 데이터와 벡터 내적 연산 회로의 출력 값을 비교하는 ‘Comparator’를 포함한다. MPW 칩의 동작은 ‘test mode’에 의해 결정되며, ‘test mode’가 1인 경우에는 MPW 칩 외부에서 입력된 ‘support vector’ 데이터와 ‘feature vector’ 데이터에 대한 벡터 내적 연산 결과를 출력한다. ‘test mode’가 0인 경우에는 ‘MPW Test Data Memory’에 저장된 2,160개의 ‘test support vector’ 데이터와 ‘test feature data’ 데이터를 이용하여 벡터 내적 연산을 하게 된다. ‘test mode’가 0인 상태에서 연산이 완료되면 ‘MPW Test Data Memory’의 예측 결과 값인 ‘expected output’과 벡터 내적 연산 회로의 결과 값인 ‘vector inner product’를 비교한다. ‘MPW

그림 3. MPW 칩 회로 블록도

Fig. 3. Block diagram of MPW chip.

그림 4. ‘MPW Test Data Memory’ 회로 구조

Fig. 4. Circuit architecture of ‘MPW Test Data Memory’.

Test Data Memory’는 제안하는 벡터 내적 연산 회로의 동작을 검증하기 위해 특징 벡터와 서포트 벡터 데이터를 저장하고 있는 ROM(SV_ROM0~9, FV_ROM0~9) 20개와 예측 결과 값을 저장하고 있는 ROM(EXP_ROM) 1개로 구성된다. 그림 4는 ‘MPW Test Data Memory’의 구조를 나타낸다.

III. MPW 칩 구현 및 검증

1. MPW 칩 제작

본 논문에서 제안하는 고성능 벡터 내적 연산 회로는 Verilog HDL(Hardware Description Language)을 사용하여 RTL(Register Transfer Level)로 구현하였으며, Synopsys사의 DesignCompiler와 TSMC 180nm 표준

그림 5. MPW 칩 설계 과정
Fig. 5. Design flow of MPW chip.

그림 6. MPW 칩의 최종 레이아웃
Fig. 6. Final layout of MPW chip.

셀 라이브러리를 이용하여 게이트 수준으로 합성하였다. 그림 5는 제안하는 고성능 벡터 내적 연산 회로를 MPW 칩으로 제작하기 위해 진행한 과정과 사용한 툴을 나타낸다.

Front-end 단계에서는 게이트 수준의 회로에 대한 타이밍과 기능을 검증하기 위해 Primetime, Formality, NC-Verilog를 이용하여 STA(Static Timing Analysis), formal verification, pre-layout simulation을 진행하였다. 게이트 수준의 회로에 대한 물리적 검증을 하기 위해 ICCompiler, Calibre를 이용하여 P&R(Placement and Routing), DRC(Design Rule Check), LVS(Layout Versus Schematic)를 진행하였다. 또한 레이아웃의 타이밍과 기능을 검증하기 위해 StarRC를 이용하여 기생 커패시턴스와 저항 값을 추출하여 레이아웃에 대한 STA와 post-layout simulation을 진행하였다. 그림 6은 3mm×3mm 크기의 최종 레이아웃을 나타낸다.

2. MPW 칩 검증

그림 7은 제작한 MPW 칩의 검증 환경을 나타낸다. 제안하는 벡터 내적 연산 회로에 대한 MPW 칩의 동작을 검증하기 위해 MPW 칩을 장착한 테스트 보드, FPGA(Field Programmable Gate Array) 보드, 검증 애플리케이션 소프트웨어를 개발하여 검증 환경을 구축하였고 칩의 동작을 검증하였다.

그림 8은 MPW 칩 검증 과정을 나타낸다. MPW 칩의 입력 데이터인 'mpw test data'는 PCIe(Peripheral Component Interconnect Express) 통신을 통해 PC의 검증 애플리케이션 소프트웨어에서 FPGA 보드의 'MPW Test Data Controller'로 전송되며, 'MPW Test Data Controller'는 'mpw test data'를 FPGA 보드의 LED와 MPW 칩의 입력 핀으로 전송한다. MPW 칩의 출력 데이터인 'mpw output data'는 FPGA 보드의 'MPW Output Data Controller'로 전송되며, MPW 칩의 벡터 내적 연산 결과 값인 'mpw vector inner product'를 PCIe 통신을 통해 PC의 검증 애플리케이션 소프트웨어로 전송한다. 또한 그림 3의 'mpw out en', 'correct', 'comp finish' 출력 신호의 값은 FPGA 보드의 LED로 전송한다.

테스트 보드를 사용한 MPW 칩 검증 방법은 두 가지가 있다. MPW 칩 내부의 'MPW Test Data Memory'에 저장된 데이터를 사용하여 검증하는 경우에는 그림 3의 'correct' 출력 신호의 값을 확인하며, 외부 데이터를 사용하여 검증하는 경우에는 그림 8의 'mpw

그림 7. 제작한 MPW 칩의 검증 환경
Fig. 7. Verification environments for MPW chip.

그림 8. 테스트 보드를 이용한 MPW 칩 검증 과정

Fig. 8. Verification procedure using test board.

그림 9. LED와 모니터를 통해 확인한 검증 결과

Fig. 9. Verification results displayed on LED and monitor.

표 1. MPW 칩의 성능 및 크기

Table 1. Performance and gate count of MPW chip.

최대 동작 주파수	138MHz
MPW 칩 회로 게이트 카운트	442,379
30개 벡터 내적 연산 사이클	6사이클
2,160개 벡터 내적 연산 사이클	78사이클

vector inner product' 출력 신호의 값을 'Verification Program'의 출력 값인 'reference vector inner product' 과 비교한다. LED0과 LED4는 그림 3의 'chip start'와 'mpw out en'을 나타내며, LED3은 벡터 내적 연산 회로의 6단 파이프라인에 대한 검증을 하는 경우와 그림

지 않는 경우를 나타낸다. 'test mode'가 0인 경우 LED1, LED5, LED6은 그림 3의 'test mode', 'correct', 'comp finish'를 나타낸다. 'test mode'가 1인 경우 LED2는 'test mode' 신호를 나타낸다. 그림 9는 MPW 칩의 동작을 검증한 결과를 나타내며 표 1은 제안하는 회로의 MPW 칩의 성능 및 크기를 나타낸다. 제작한 MPW 칩의 최대 동작 주파수는 138MHz이며, SVM 기반 사물 인식 회로에 적용되면 VGA급 영상을 초당 50장 처리할 수 있다.

IV. 결 론

본 논문에서는 SVM 기반 사물 인식 회로의 성능을 높이기 위한 고성능 벡터 내적 연산 회로를 제안하였다. 제안하는 회로는 실리콘 검증을 위해 MPW 칩으로 제작하였으며, 테스트 보드와 검증 애플리케이션 소프트웨어를 이용하여 칩의 동작을 검증하였다. 제안하는 회로는 벡터 내적 연산에 6단 파이프라인 구조를 적용하였으며, SVM 알고리즘을 사용한 사물 인식 회로에 적용되면 VGA급 영상을 실시간으로 처리할 수 있다. 따라서 본 논문에서 제안하는 회로는 지능형 자동차 또는 보안용 카메라와 같은 실시간 처리를 필요로 하는 분야에서 사용되는 SVM 기반 사물 인식 회로에서 효율적으로 사용될 수 있다.

REFERENCES

- [1] V. N. Vapnik, *Statistical Learning Theory*, John Wiley & Sons, 1998.
- [2] C. Kyrkou and T. Theodoridis, "A Parallel Hardware Architecture for Real-Time Object Detection with Support Vector Machines," *IEEE Trans. Computers.*, vol. 66, pp. 831-842, June 2012.
- [3] M. Hiromoto and R. Miyamoto, "Hardware Architecture for High-accuracy Real-time Pedestrian Detection with CoHOG Features," *IEEE 12th International Conf. Computer Vision.*, pp. 894-899, Kyoto, Japan, October 2009.
- [4] A. Ghio, "A Support Vector Machine based Pedestrian Recognition System on Resource-limited Hardware Architectures," *Microelectronics and Electronics Conf.*, pp. 161-163, July 2007.
- [5] M. Papadonikolakis, "Novel Cascade FPGA

Accelerator or Support Vector Machines Classification," IEEE Trans. on Neural Networks and Learning System., vol. 23, pp. 1040-1052, July 2012.

저 자 소 개

신 재 호(학생회원)
2012년 2월 한국외국어대학교
전자공학과 학사 졸업.
2012년 2월~현재 한국외국어
대학교 전자공학과
석사과정.

<주관심분야: SoC 설계>

김 수 진(학생회원)
2007년 2월 한국외국어대학교
전자공학과 학사 졸업.
2009년 2월 한국외국어대학교
전자공학과 석사 졸업.
2009년 2월~현재 한국외국어
대학교 전자공학과
박사과정.

<주관심분야: SoC 설계>

조 경 순(평생회원)-교신저자
1982년 2월 서울대학교
전자공학과 학사 졸업.
1984년 2월 서울대학교
전자공학과 석사 졸업.
1988년 12월 미국 Carnegie
Mellon University 전기
및 컴퓨터 공학과 박사
졸업.

1988년 11월~1994년 8월 삼성전자(주) 반도체
총괄 선임, 수석 연구원.

1994년 8월~현재 한국외국어대학교 전자공학과
조교수, 부교수, 정교수.

<주관심분야: SoC 설계>