논문 2013-50-12-9

이퀄라이저 적응기를 포함한 12.5-Gb/s 저전력 수신단 설계

(A 12.5-Gb/s Low Power Receiver with Equalizer Adaptation)

강 정 명*, 정 우 철*, 권 기 원**, 전 정 훈**

(Jung-Myung Kang[Ⓒ], Woo-Chul Jung, Kee-Won Kwon, and Jung-Hoon Chun)

요 약

본 논문에서는 이퀄라이저 적응기(adaptation)를 포함하는 12.5 Gb/s 저전력 수신단 설계에 대해서 기술한다. 샘플러와 직렬 변환기를 사용한 저전력 아날로그 이퀄라이저 적응기를 구현함으로써 채널과 칩 공정 변화에 능동적으로 적응할 수 있으며 그 적응 원리에 대해서 설명한다. 또한 저전력을 위한 전압 모드 송신기의 접지 기반 차동 신호를 수신하는 기술에 대해서 설명하였다. 17.6 dB의 피킹 이득을 갖는 CTLE(Continuous Time Linear Equalizer)는 6.25 GHz에서 -21 dB 손실을 갖는 채널의 길게 늘어지는 ISI(Inter Symbol Interference)를 제거한다. 45 nm CMOS 공정을 이용하여 eye diagram에서 200 mV의 전압 마진과 0.75 UI의 시간 마진을 갖고 0.87 mW/Gb/s의 낮은 전력 소모를 유지한다.

Abstract

This paper describes a 12.5 Gb/s low-power receiver design with equalizer adaptation. The receiver adapts to channel and chip process variation by adaptation circuit using sampler and serializer. The adaptation principle is explained. It describes technique receiving ground referenced differential signal of voltage-mode transmitter for low-power. The CTLE(Continuous Time Linear Equalizer) having 17.6 dB peaking gain to remove long tail ISI caused channel with -21 dB attenuation. The voltage margin is 210 mV and the timing margin is 0.75 UI in eye diagram. The receiver consumes 0.87 mW/Gb/s low power in 45 nm CMOS technology.

Keywords : 수신기, 이퀄라이저, 적응기, 저전력, 슬라이서

I. 서 론

최근 반도체 집적 기술의 발전과 함께 수 십 Gb/s 이상의 속도를 갖는 데이터 송수신 시스템에 대한 요구가 증가하고 있다. 그러나 고주파 대역의 신호 감쇄와

ISI(Inter Symbol Interference)의 심화에 의해 데이터 전송 대역폭이 제한을 받으며, 이를 보상해주기 위해 이퀄라이저(equalizer)의 적용이 필수적이다.^[1~2] 같은 방식으로 설계된 채널이라도 제조와 동작 온도에 따라 손실 차가 발생하고, 또한 칩의 PVT(Process Voltage Temperature) 변화에 따라 보상 이득과 주파수 특성이 달라진다. 그러므로 이러한 변화에 적응할 수 있는 이퀄라이저 적응기(equalizer adaptation circuit)가 요구된다.^[3~8] 이퀄라이저 적응기는 채널의 손실과 칩의 이득 변화에 적응하여 데이터 전송의 정확성을 향상시켜 시스템의 고속화에 도움을 준다.

이퀄라이저 적응 방식에는 아날로그 방식^[4~7]과 디지털 방식으로 구분할 수 있다. 디지털 방식은 데이터와

* 학생회원, ** 정회원, 성균관대학교 정보통신대학
(College of Information and Communication
Engineering, Sungkyunkwan University)

Ⓒ Corresponding Author(E-mail: vinmaster@skku.edu)

※ 본 연구는 삼성전자 DMC 사업부의 지원으로 수행하였음

※ 본 연구는 미래창조과학부의 재원으로 한국연구재단의 기초연구사업 지원을 받아 수행된 것임
(2011-0014267)

접수일자: 2013년10월10일, 수정완료일: 2013년11월25일

에지의 샘플링 결과를 디지털 블록에서 분석하여 이퀄라이저 탭을 조절한다.^[8] 아날로그 방식은 이퀄라이저 출력 신호의 파워 스펙트럼 분석을 하여 이퀄라이저의 탭을 조절하는 방식이 주류를 이루고, 슬라이서(Slicer)를 사용한 방식과 사용하지 않은 방식으로 대별된다. 첫 번째로 슬라이서를 사용하지 않은 경우 이상적인 신호의 저주파 에너지와 고주파 에너지가 같게 되는 경계 주파수를 계산을 통해 찾는다. 그 경계 주파수의 고역, 저역 필터를 이퀄라이저 출력 신호에 적용시켜 저주파 에너지와 고주파 에너지가 같게 되도록 탭을 조정한다.^[5] 하지만 이 방법은 트랜지스터의 특성 변화와 필터 대역폭의 변화로 인하여 이상적인 신호의 기준 변화가 생긴다는 단점을 갖는다. 두 번째로 슬라이서를 사용한 방식은 슬라이서를 통해 이상적인 기준신호를 만들고 이퀄라이저 출력 신호와 에너지 스펙트럼을 비교하여 이퀄라이저의 탭을 조절한다.^[6] 이상적인 기준신호를 만들기 위해 다단 증폭기로 구성된 슬라이서를 많이 사용하는데 이럴 때에는 많은 전력 소모를 하게 된다.^[7]

본 논문에서는 샘플된 데이터를 활용하는 저전력 슬라이서를 사용하여 이퀄라이저 적응기를 구현하였으며 이를 이용한 12.5-Gb/s 저전력 수신단에 대해 설명한다. II장에서 구현한 수신단과 이퀄라이저 적응기의 세부사항을 설명하고, III장에서 수신단의 시뮬레이션 결과를 분석하며, IV장에서 결론을 맺는다.

II. 본 론

1. 수신단의 전체 구성

그림 1은 구현된 12.5-Gb/s 수신단의 전체 구성을 나타낸다. 크게 CTLE(Continuous-Time Linear Equalizer), 이퀄라이저 적응기, CDR(Clock and Data Recovery)과 PLL(Phase Locked Loop), 병렬 변환기(deserializer), BIST(Built-in Self Test)를 위한 루프백(loop-back) 블록으로 구성 되어 있다. 저전력 송수신 시스템 구현을 위해 400 mV 이하의 접지 기반 차동 신호를 수신하므로 이에 필요한 입력 신호 레벨 변화와 채널의 고주파 대역의 신호 손실을 보상하는 기능을 CTLE에 구현하였다. 입력 공통 전압 레벨이 변하더라도 CTLE의 바이어스 전류를 일정하게 하기 위하여 바이어스 회로가 존재한다. 또한, 샘플러(sampler)를 이용한 저전력 이퀄라이저 적응기를 사용함으로써 채널의 손실 변화와 칩 공정 변화에 대응하는 것이 가능하다.

데이터의 샘플링에 사용되는 클락은 CDR 루프가 제어하는 PLL에서 제공된다. CDR에는 두 개의 피드백 루프가 존재한다. 첫 번째 피드백 루프는 27 MHz의 기준 클락을 인가받아 PFD(Phase Frequency Detector)와 차지 펌프(CP1)를 통해 LC-VCO를 조절함으로써 4개 위상의 6.25 GHz 클락을 생성한다. 출력 클락의 위상이 고정되면 CDR은 첫 번째 루프의 동작을 종료하고 데이

그림 1. 수신단의 전체 구성

Fig. 1. Overall architecture of receiver.

터 신호의 중심을 찾는 두 번째 루프를 동작시킨다. BBPD(Bang-Bang Phase Detector)는 샘플러에서 데이터 2개와 에지 2개를 받아 업/다운 신호를 발생시키고, 이 신호는 Decimation 블록을 거쳐 두 번째 차지펌프(CP2)에 전달된다. CDR에서 루프 변경을 할 때 스위칭 잡음이 인가되어 주파수 오프셋이 발생할 수 있기 때문에 일정시간동안 차지펌프의 이득을 높여 주파수 오프셋을 보상한 후 이득을 줄여 위상을 정밀히 트래킹 한다. CDR에 의해 정확히 샘플링된 6.25 Gb/s 2 bit 데이터는 병렬 변환기에 의해 312.5 Mb/s 40 bit의 병렬 데이터로 전환된다. 구현된 수신단은 루프백을 통해 BIST를 수행할 수 있다. PRBS(Pseudo Random Binary Sequence) 생성기에서 40 bit 병렬데이터를 만들어 40:2 직렬 변환기와 2:1 멀티플렉서 프리 드라이버를 거쳐 12.5 Gb/s 직렬 데이터로 변환한다. 이는 드라이버를 통해 손실 없이 수신기 입력단으로 인가되고 수신단은 이를 복구하여 다시 40 bit 병렬 데이터로 출력한다. 검증 블록(verification)은 이 출력 데이터와 최초 PRBS 생성기에서 생성한 데이터를 비교하여 수신단의 데이터 패스 검증을 자체적으로 수행한다.

2. 수신단 회로의 세부 설명

CTLE는 레벨시프터(level-shifter)와 이퀄라이저로 구성되어 있다. 그림 2와 같이 레벨시프터는 공통 게이트 증폭기 구조를 사용하여 낮은 입력 레벨을 0.85 V 부근으로 증가시킨다. 부하로 저항과 인덕터를 사용함으로써 대역폭 확장을 통해 6.25 GHz의 주파수에서 3.3

dB의 피킹 이득을 얻을 수 있다. 레벨시프터의 게이트 바이어스 전압(V_{bias})을 고정한다면 입력의 공통 전압이 변할 때 바이어스 전류(I_{bias})가 변하게 되어 출력 공통모드 전압이 변하게 된다. 그 결과 CTLE의 바이어스가 변하여 전체적인 특성 변화가 발생한다. 증폭기를 통해 입력 공통 전압을 감지하고 레벨시프터의 레플리카를 사용하여 입력의 공통 전압이 변하더라도 레벨시프터에 일정한 전류를 공급할 수 있도록 하였다.

이퀄라이저 구조는 디제너레이션 저항과 캐패시터를 사용한 보편적인 소스 디제너레이션 공통 증폭기(source degeneration common source amplifier)를 사용하였다.^[7~11] 5 bit의 저항 조절을 통해 저주파 이득을 -1.1 dB에서 8.3 dB까지 조절할 수 있으며 최대 17.6 dB의 피킹 이득을 가진다.

그림 3. CTLE의 전달 함수

Fig. 3. Transfer function of CTLE.

그림 2. CTLE와 바이어스 회로

Fig. 2. CTLE and bias circuit.

그림 4. Sampler 회로

Fig. 4. Sampler circuit.

오프셋 보정이 가능한 스트롱 암 구조의 샘플러를 그림 4에 나타내었다. 4개의 샘플러에서 4-위상의 6.25 GHz 클락으로 각각 샘플링하고 그 결과인 6.25 Gb/s 데이터 2개와 예지 2개를 CDR로 전달한다. 최대 민감도는 20 mV이며, 레벨시프터, 이퀄라이저, 버퍼, 샘플러의 누적 오프셋을 보정하기 위해 샘플러의 차동 전류 경로에 전류의 변화를 인가함으로써 4 mV 단위로 최대 30 mV의 오프셋 조정이 가능하다.

3. 아날로그 이퀄라이저 적응기

이퀄라이저 적응기는 이퀄라이저 출력 신호가 최적 이 되는 탭을 찾아 적용한다. 그림 5에 슬라이서를 사용한 아날로그 이퀄라이저 적응기의 블록 다이어그램을

그림 6. Slicer의 기능

Fig. 6. Function of slicer.

나타내었다. 아날로그 적응기의 전체적인 원리는 이상적인 기준신호를 슬라이서를 통해 만든 후, 이퀄라이저의 출력 신호와 기준신호의 고주파 에너지가 같도록 탭을 조절한다. 기준신호를 만드는 슬라이서는 클램핑 기능이 있는 높은 이득 증폭기로, 그림 6의 A와 같은 언더 이퀄라이징된 신호나 B와 같은 오버 이퀄라이징된 신호를 C와 같은 이상적인 기준신호로 만든다. 기준신호의 에너지 스펙트럼은 그림 7의 이상적인 신호와 같은 sinc 함수의 형태를 갖는다. 이상적인 저주파 에너지와 고주파 에너지 비율을 가지더라도 신호의 진폭이 작다면 그림 7의 저진폭의 이상적 신호처럼 고주파 에너지가 작다. 그러므로 채널에 의해서 손실이 거의 없는 저주파 대역의 에너지를 먼저 비교하여 슬라이서의 클램핑 회로를 통해 나오는 기준신호의 진폭을 이퀄라이저 출력 신호의 크기와 일치시킨다. 그 후 이퀄라이저 특성이 포함된 고주파 대역의 에너지를 기준신호와 비교함으로써 이퀄라이저의 출력 신호가 오버 이퀄라이징

그림 5. 아날로그 equalizer adaptation 블록 다이어그램

Fig. 5. Block diagram of analog equalizer adaptation.

그림 7. 기준신호와 이퀄라이저 신호의 파워 스펙트럼
Fig. 7. Spectrum of reference signal and equalizer signal.

그림 8. (a) 멀티 스테이지 slicer (b) 샘플러 출력 신호와 직렬 변환기를 사용한 slicer
Fig. 8. (a) Multi-stage slicer (b) Slicer using sampler output and serializer.

인지 언더 이퀄라이징인지를 알 수 있고 이 정보를 탭의 크기를 증감하는 업/다운 신호로 출력한다. 업/다운 신호는 FSM을 통해 5 bit의 이퀄라이저 탭을 조절한다. f_L 경계 주파수의 저역 필터와 f_H 경계 주파수의 고역 필터를 통해 저역과 고역의 신호를 필터링 할 수 있으며, 정류기를 통해 신호의 저역과 고역의 에너지를 검출 할 수 있다. 이와 같이 적응기에서는 기준신호와 이퀄라이저 출력 신호의 에너지 비교하기 때문에 채널의 손실이 달라지더라도 최적의 이퀄라이저 탭을 찾아 적응하는 수신단을 구현할 수 있다.

그림 8은 증폭기와 클램핑 회로를 사용한 보편적인 슬라이서를 나타낸다. 이 구조에서 입력 신호가 언더 이퀄라이징된 신호인 경우 증폭을 통해 신호의 에지 기울기를 늘려야 한다. 이를 위해 증폭기는 6.25 GHz의 대역폭과 큰 이득이 필요하기 때문에 많은 전력을

소모하는 멀티 스테이지의 구조를 사용한다. 본 연구에서는 별도의 슬라이서를 구현하지 않고, 기존의 샘플러의 출력을 이용하여 기준신호를 생성한다. 샘플러는 기본적으로 슬라이서의 기능을 수행하는데, 2개의 6.25 Gb/s 샘플러 출력을 2:1 직렬 변환기를 통과시켜 12.5 Gb/s의 기준 신호를 생성한다. 샘플러는 이퀄라이저 탭이 적절히 설정이 되어야 오류 없이 완벽한 샘플링을 한다. 하지만 CTLE에 의해 샘플링 할 수 있을 정도의 eye diagram이 열리게 되고 또한 이퀄라이저 적응기는 낮은 루프 대역폭을 가지기 때문에 샘플링된 데이터가 어느 정도의 BER을 갖더라도 기준신호로 사용할 수 있으며 적응 과정이 진행됨에 따라 BER이 낮은 기준신호가 생성된다. 이로써 기존 멀티 스테이지 슬라이서를 사용한 것보다 저전력으로 이퀄라이저 적응이 가능하다.

저역 필터와 고역 필터는 저항과 캐패시터의 직렬 연결로 구현할 수 있다. 기준신호에 사용되는 필터와 이퀄라이저에 사용되는 필터를 가까이 배치하고 필터 크기를 크게 하였다. 이로써 공정 변화에 둔감하고 두 필터의 경계주파수가 함께 변화하도록 함으로써, 적응 결과에 큰 영향을 주지 않게 설계할 수 있다.

그림 9와 같이 입력 공통 전압을 입력 트랜지스터의 오프 영역의 경계로 바이어스하여 정류기를 구현하였다. 입력 차동 트랜지스터에서 입력 전압이 낮은 트랜지스터가 꺼지게 되면 정류기는 공통 증폭기 구조가 된다. 그러므로 입력 진폭에 따라 출력 전압이 결정되며 PMOS 트랜지스터를 로드하여 소스 팔로워 정류기^[6]보다 더 높은 이득을 얻을 수 있다. 공정 변화가 있더라도 모든 정류기 출력 노드의 공통 전압을 같도록 정

그림 9. 정류기 및 바이어스 회로
Fig. 9. Rectifier and bias circuit.

류기의 레플리카를 이용하여 바이어스 한다.

비교기는 이퀄라이저 출력신호의 고주파 에너지와 기준신호의 고주파 에너지 비교하여 이퀄라이저 탭을 높일지 줄일지를 결정한다. 예를 들어 이퀄라이저 출력신호의 고주파 에너지가 작을 경우 언더 이퀄라이징 되었으므로 이퀄라이저 탭을 줄여 피킹 이득을 늘린다. 차동 증폭기를 통해 두 에너지 차이를 증폭시키며 샘플러의 구조와 같은 감지 증폭기를 통해 디지털 신호로 변환한다. 비교기에서 업/다운 신호를 받게 되면 5 bit 카운터를 통해 이퀄라이저의 탭을 증가/감소하여 출력한다. 적응기에 의해 이퀄라이저 값이 수렴하여 BangBang 동작을 하게 되면 이를 감지하여 이퀄라이저의 탭은 고정되고 적응기는 파워 오프된다.

III. 실험

시뮬레이션에 사용된 채널은 6.25 GHz에서 -21 dB의 감쇄를 갖는다. 그림 10은 진폭이 2인 12.5 Gb/s 1 bit 신호를 입력으로 한 채널의 SBR(Single Bit Response)을 나타낸 것이다. 채널의 손실에 의해 메인 커서의 진폭이 0.55가 되고 첫 번째 프리 커서와 길게 늘어진 포스트 커서의 ISI가 발생한다. 이로 인해 수신단 입력의 eye diagram은 완전히 닫혀 있다. 송신단에서 프리 커서만 제거하는 이퀄라이저와 CTLE의 18 dB의 피킹 이득으로 샘플러 입력단에서 eye diagram은 그림 12의 (a)와 (b)과 같이 열리게 된다.

그림 11 (a)는 슬라이서와 이퀄라이저 출력신호의 저주파 에너지의 시간에 따른 추이를 나타낸다. 먼저 1us 이내에 이퀄라이저 출력 신호의 진폭과 같게 슬라이서

그림 10. 채널의 SBR
Fig. 10. SBR of channel.

그림 11. Slicer와 이퀄라이저 출력 신호의 저주파 고주파 에너지
Fig. 11. Low and high energy of slicer and equalizer.

그림 12. 이퀄라이저 적응 전(a)과 후(b)의 eye diagram
Fig. 12. Eye diagrams of equalizer output signal before and after adaptation.

그림 13. 수신단 레이아웃

Fig. 13. Receiver layout.

표 1. 수신단의 전력소모

Table 1. Power consumption of the receiver.

Function	Power(mW)
Levelshifter	2.57
Equalizer	2.14
Sampler×4	1.83
Bias	0.69
Adaptation	3.63
Total	10.86

표 2. 수신단의 성능 비교

Table 2. Receiver performance comparison.

	[10]	[12]	[13]	this work
Technology	90nm CMOS	90nm CMOS	65nm CMOS	45nm CMOS
Data rate(Gb/s)	6	40	21	12.5
Gain compensation (dB)	16	12	12	18
Power consumption (mW)	13.3*	58.0*	42	10.86*
FOM= DR×GC/P (Gb/s/mW)	7.8	8.3	6	20.7

* 이퀄라이저 적응기 포함

의 진폭은 수렴한다. 그 후 그림 11 (b)와 같이 이퀄라이저 출력 신호와 슬라이서의 출력 신호의 고주파 에너지와 함께 이퀄라이저의 탭은 최적의 값으로 수렴한다. 이퀄라이저 적응 전인 A 구간에서는 이퀄라이저의 고주파 에너지가 높기 때문에 그림 12 (a)와 같이 시간과 전압 마진이 상대적으로 적은 오버 이퀄라이징되어 있

다. 하지만 이퀄라이저 탭이 수렴함에 따라 이퀄라이저 적응이 된 B 구간에서는 그림 12 (b)와 같이 200 mV의 전압 마진과 0.75 UI의 시간 마진을 갖는 최적의 이퀄라이징이 된다.

공급 전압 1.1 V의 저전력 45 nm CMOS 공정을 이용하여 그림 13과 같이 수신단 설계를 하였으며 이퀄라이저 적응기까지 포함하여 전체 면적은 320 um×320 um이다. 수신단 전체의 소모 전력은 약 10.86 mW이며 세부 전력소모는 표 1에 정리 하였다. CTLE와 샘플러에서 5.54 mW의 전력을 소모하며 이퀄라이저 적응기에서 3.63 mW의 전력을 소모한다. 이는 다단 증폭기로 구성된 슬라이서보다 적은 전력을 소모한다.

표 2는 발표된 이퀄라이저 적응기 회로들과 성능을 비교한 것이다. FOM(Figure Of Merit)는 식(1)과 같이 정의되었으며 제안된 수신단은 높은 성능 지표를 보임을 확인 할 수 있다.

$$FOM = \frac{\text{Data rate} \times \text{Gain compensation}}{\text{Powerconsumption}} \quad (1)$$

IV. 결 론

이퀄라이저 적응 기능을 갖춘 저전력 12.5-Gb/s 수신단을 설계하였다. 45nm CMOS 공정을 사용하여 6.25GHz에서 17.6dB의 이득을 갖는 CTLE를 구현하였으며, 채널과 칩의 변화에 적응 할 수 있는 적응기를 샘플러와 직렬 병렬기를 이용하여 저전력으로 구현할 수 있었다. 12.5-Gb/s의 400mVpp 신호를 송신하였을 때 210mV의 전압 마진과 0.75UI의 시간 마진을 얻을 수 있었으며 0.87mW/Gb/s의 낮은 전력 소모를 유지할 수 있다.

REFERENCES

- [1] D. A. Johns and D. Essig, "Integrated circuits for data transmission over twisted-pair channels," IEEE Journal of Solid-State Circuits, vol. 32, pp.398-406, Mar. 1997.
- [2] Poulton, J. et al., "A 14-mW 6.25-Gb/s Transceiver in 90-nm CMOS," IEEE Journal of Solid-State Circuits, vol. 42, no. 12, pp. 2745-2757, Dec. 2007.

- [3] Dong Hun Shin, "A 1-mW 12-Gb/s Continuous-Time Adaptive Passive Equalizer in 90-nm CMOS," IEEE Custom Integrated Circuit Conference, pp. 117-120, Sept. 2009.
- [4] Jri Lee, "A 20-Gb/s Adaptive Equalizer in 0.13- μ m CMOS Technology," IEEE Journal of Solid-State Circuits, vol. 41, pp. 2058-2066, Sept. 2006.
- [5] S. Gondi, et al., "A 10Gb/s CMOS adaptive equalizer for backplane applications," IEEE International Solid-State Circuits Conference, pp. 328-601, Feb. 2005.
- [6] Jong-Sang Choi, et al., "A 0.18- μ m CMOS 3.5-Gb/s Continuous-Time Adaptive Cable Equalizer Using Enhanced Low-Frequency Gain Control Method," IEEE Journal of Solid-State Circuits, vol. 39, pp. 419-425, Mar. 2004.
- [7] Dongmyung Lee, et al., "An 8.5-Gb/s Fully Integrated CMOS Optoelectronic Receiver Using Slope-Detection Adaptive Equalizer," IEEE Journal of Solid-State Circuits, vol. 45, pp. 2861-2873, Dec. 2010.
- [8] Yan-Bin Luo, et al., "A 250Mb/s-to-3.4Gb/s HDMI Receiver with Adaptive Loop Updating Frequencies and an Adaptive Equalizer," IEEE International Solid-State Circuits Conference, pp. 190-191, Feb. 2009.
- [9] Mira Lee, et al., "Low Power 4-Gb/s Receiver for GND-referenced Differential Signaling," Journal of IEEK, vol. 49, no. 9, pp. 244-250, Sept. 2012.
- [10] H. Uchiki, et al., "A 6Gb/s RX Equalizer Adapted Using Direct Measurement of the Equalizer Output Amplitude," IEEE International Solid-State Circuits Conference, pp. 104-599, Feb. 2008.
- [11] Youngsam Moon, "A 6Gbps CMOS Feed-Forward Equalizer Using A Differentially-Connected Varactor," Journal of IEEK, SD, vol. 46, no.2, pp. 64-70, Feb. 2009.
- [12] C.-F. Lia, S.-I Liu, "A 40Gb/s CMOS Serial-Link Receiver with Adaptive Equalization and CDR," IEEE International Solid-State Circuits Conference, 2008.
- [13] H. Wang et al., "A 21-Gb/s 87-mW transceiver with FFE/DFE/linear equalizer in 65-nm CMOS technology," in IEEE Symp. VLSI Circuits Dig. Tech. Papers, pp. 50-51, June 2009.

— 저 자 소 개 —

강 정 명(학생회원)
2012년 성균관대학교 반도체
시스템공학과 학사 졸업
2012년~현재 성균관대학교
반도체디스플레이공학과
석사과정

<주관심분야 : 고속 I/O 설계, 저전력 설계>

정 우 철(학생회원)
2012년 성균관대학교 반도체
시스템공학과 학사 졸업
2012년~현재 성균관대학교
반도체디스플레이공학과
석사과정

<주관심분야 : 고속 I/O 설계, 저전력 설계>

권 기 원(정회원)
2001년 Stanford Univ.
전기공학과 석사
재료공학과 박사 졸업
2001년~2006년 삼성전자 DRAM
개발실 수석연구원
2007년~현재 성균관대학교
정보통신대학 부교수

<주관심분야 : 메모리IP, Analog/Digital Mixed
mode 설계>

전 정 훈(정회원)
2006년 Stanford Univ.
전기공학과 박사 졸업
2006년~2008년 Rambus Inc.
2008년~현재 성균관대학교
정보통신대학 조교수

<주관심분야 : High-speed serial link, Mixed-
signal 설계, ESD 및 신뢰성 연구>