논문 2013-50-7-17

하이브리드 광학 네트워크-온-칩에서 지연 시간 최적화를 위한 매핑 알고리즘

(A Latency Optimization Mapping Algorithm for Hybrid Optical
Network-on-Chip)

이 재 훈*, 이 창 림*, 한 태 희**

(Jae Hun Lee, Chang Lin Li, and Tae Hee Han[©])

요 약

기존 전기적 상호 연결을 사용한 네트워크-온-칩(Network-on-Chip, NoC)의 전력 및 성능 한계를 보완하고자 광학적 상호 연결을 이용하는 하이브리드 광학 네트워크-온-칩(HONoC)이 등장하였다. 하지만 HONoC에서는 광학적 소자 특성으로 인해 서킷 스위칭을 사용함으로써 경로 충돌이 빈번하게 발생하며 이로 인해 지연 시간 불균형의 문제가 심화되어 전체적인 시스템 성능에 악영향을 미치게 된다. 본 논문에서는 경로 충돌을 최소화 시켜 지연 시간을 최적화 할 수 있는 새로운 태스크 매핑 알고리즘을 제안하였다. HONoC 환경에서 태스크를 각 Processing Element (PE)에 할당하고 경로 충돌을 최소화하며, 부득이한 경로 충돌의 경우 위스트 케이스 (worst case) 지연 시간을 최소화 할 수 있도록 하였다. 모의실험 결과를 통해 무작위 매핑 방식, 대역폭 제한 매핑 방식과 비교하여, 제안된 알고리즘이 4×4 메시 토폴로지에서는 평균 43%, 8×8 메시 토폴로지에서는 평균 61%의 지연 시간 단축 효과가 있음을 확인할 수 있었다.

Abstract

To overcome the limitations in performance and power consumption of traditional electrical interconnection based network-on-chips (NoCs), a hybrid optical network-on-chip (HONoC) architecture using optical interconnects is emerging. However, the HONoC architecture should use circuit-switching scheme owing to the overhead by optical devices, which worsens the latency unfairness problem caused by frequent path collisions. This resultingly exert a bad influence in overall performance of the system. In this paper, we propose a new task mapping algorithm for optimizing latency by reducing path collisions. The proposed algorithm allocates a task to a certain processing element (PE) for the purpose of minimizing path collisions and worst case latencies. Compared to the random mapping technique and the bandwidth-constrained mapping technique, simulation results show the reduction in latency by 43% and 61% in average for each 4x4 and 8x8 mesh topology, respectively.

Keywords : HONoC, optical interconnect, latency, mapping, path collision

I. 서 론

* 학생회원, ** 평생회원, 성균관대학교 정보통신대학
(College of Information & Communication
Engineering, Sungkyunkwan University)

© Corresponding Author(E-mail: than@skku.edu)

※ 본 연구는 지식경제부 및 정보통신산업진흥원의 대
학 IT 연구센터 육성지원 사업의 연구결과로 수행
되었음 (NIPA-2013-H0301-13-1011)

접수일자: 2013년1월2일, 수정완료일: 2013년6월26일

싱글 코어 프로세서의 전력 효율 대비 성능 한계로
인해 다중 코어를 이용한 다중 프로세서 시스템-온-칩
(Multi-Processor SoC, MPSoC)이 등장하면서 기존 버
스 구조가 전체 시스템 성능 향상의 병목으로 대두되었
다. 이로 인해, 수 백 개 이상의 코어와 IP가 집적되고

있는 칩단 SoC 구조에서 온-칩 네트워크 (On-chip Network, OCN)의 중요성을 부각시킨 새로운 개념으로 네트워크-온-칩(Network-on-Chip, NoC)이 등장하였다. 일례로 실감 멀티미디어와 사용자 인터페이스/사용자 경험 (UI/UX)이 중요해지고 초고해상도가 요구되는 UHD급 차세대 TV 등에서 고도의 병렬 연산 요구로 인해 NoC 적용이 고려되고 있다. NoC는 토폴로지와 프로토콜 관점의 구조적 변화이므로 기존 반도체 공정/소자 기술의 한계에 대응하기 위해서는 추가적으로 물리적 연결 매체 (Interconnection medium)까지 고려한 접근 방식이 요구된다. 이에 따라 기존 NoC에서도 전기적 상호 연결(Electrical Interconnect, EI)의 문제점인 전력 소모 및 지연 시간 문제를 광학적 상호 연결(Optical Interconnect, OI)을 통해 해결하는 하이브리드 광학적 네트워크-온-칩(Hybrid Optical NoC, HONoC)이 등장하였다.

광학적 연결 매체를 이용한 기존 연구로는, 메시 토폴로지에서 OI를 통해 대용량 payload 데이터를 전송하고 EI로 컨트롤 패킷 및 경로 설정 패킷을 전송하도록 하는 방법^[1], 경로가 긴 통신은 OI를 이용하고 경로가 짧은 통신은 EI를 사용해 전송 효율을 높이는 방법^[2], TSV(Through-Silicon-Vias)를 이용해 칩을 두 층으로 구성하여 한 층에서는 광학적 네트워크를 통한 payload 데이터 전송을 다른 층에서는 전기적 네트워크를 통한 컨트롤 패킷 전송 및 광학적 경로 설정을 하는 방법^[3], 4개 코어 단위로 클러스터(cluster)를 구성하여 클러스터 내부에서는 EI로 클러스터 간에는 OI에 의한 데이터를 전송하는 방법^[4] 등이 있어 왔다.

한편, HONoC에서는 광 신호를 패킷 스위칭(Packet Switching) 방식으로 라우팅하게 되면 각 라우터에서 광신호의 전기 신호로의 변환과 이를 통한 목적지 판별 과정을 거쳐야하므로 지연 시간(latency)이 오히려 EI 기반 NoC보다 증가하기 때문에 EI를 통해 OI의 경로를 설정하게 하는 서킷 스위칭(Circuit Switching) 네트워크로 구성한다. 따라서 독립적인 복수 데이터 전송 경로의 일부라도 서로 중첩되면 동시 전송이 불가능하여 하나의 전송이 완료될 때까지 다른 전송들은 대기해야 하는 문제가 발생한다. 즉 HONoC에서는 서킷 스위칭을 사용함으로써 인해 네트워크 트래픽과 네트워크 사이즈가 증가할수록 경로 충돌 발생 확률이 더 빠르게 증가하고, 이 경로 충돌을 적절히 제어하지 못할 경우 전체적인 시스템 성능이 급격히 저하된다. 또한 대용량 데이터 전송 경로와 충돌되는 경우 지연 시간 불균등

(latency unfairness)문제 또한 심화된다.

이러한 문제를 [5]에서는 라우팅 알고리즘 상에 rollback 기법을 도입하여 초기 설정 경로가 사용 중일 때 경로 설정 패킷을 이전 라우터로 되돌려 다른 우회 경로를 설정할 수 있게 하여 해결하고자 했다. 하지만 이 방법에서는 라우팅 알고리즘의 복잡도가 증가하고 경우에 따라 긴 우회 경로를 형성할 수도 있다. 또한 우회 경로를 찾는 것보다 사용 중인 경로가 해제 될 때까지 기다리는 것이 오히려 더 나은 성능을 보일 가능성도 존재한다.

본 논문에서는 HONoC 구조에서 라우팅 알고리즘의 복잡도를 증가시키지 않으면서, 경로 충돌 빈도를 감소시키고 경로 충돌 시에도 worst case latency를 보장하는 태스크 매핑 알고리즘을 제안한다. 기존 NoC에서의 태스크 매핑 알고리즘은 패킷 스위칭을 사용하는 EI 기반 NoC에서 전체적인 네트워크 처리량을 높이고 에너지 소모를 줄이고자 하였다. 우리는 태스크 간의 관계를 DAG(directed acyclic graph)로 모델링하고 경로 충돌에 의해 발생하는 지연 시간 코스트(cost)를 최적화하는 목적 함수(objective function)로 공식화하여 문제를 해결하고자 하였다.

본 논문의 II장은 NoC 환경의 데이터 전송 태스크 매핑에 대한 관련 연구들을 소개하고, III장에서는 HONoC 구조를 기술하며, IV장에서 태스크 매핑에 따른 지연 시간의 코스트를 목적함수로 하는 지연 시간 최적화 알고리즘을 제안한다. V장에서 제안하는 알고리즘에 대한 모의실험 결과를 보여주고, 마지막으로 VI장에서 결론을 정리하였다.

II. 관련 연구

기존 NoC에서도 성능과 전력 소모 최적화를 위해 태스크를 processing element(PE)에 할당하는 다양한 매핑 알고리즘 연구들이 진행되어 왔다. 대표적으로 통신 대역폭 제약을 선형 문제로 도식화하여 해결하는 방법^[6], 각 태스크의 에너지와 통신에 필요한 성능 요구를 알고 이를 분기 한정법(branch-and-bound)을 사용하여 매핑하는 방법^[7], 실제 태스크 수행 시간의 제약을 고려한 slack-budgeting 태스크 매핑 기법^[8], 이중 다중 프 로세서 NoC에서 에너지 소모량을 최소화시키기 위해 ILP(Integer Linear Programming)를 이용하여 매핑하는 기법^[9] 등이 있었다.

기존 연구들은 전기적 NoC에서의 성능 및 에너지 소

모를 최소화하기 위해 연구되어왔다. 하지만 이러한 연구들은 OI의 적용을 통해 서킷 스위칭을 사용해야 하는 HONoC 구조의 환경을 제대로 반영하지 못한다. 본 논문에서는 서킷스위칭 기반의 HONoC에서 발생하는 경로 충돌을 완화시켜 전체적인 지연 시간을 최적화하는 태스크 매핑 알고리즘을 제안하고자 한다.

III. HONoC 구조

본 논문에서는 HONoC에서 발생하는 경로 충돌에 의한 지연 시간 문제를 최적화 시킬 수 있는 태스크 매핑 알고리즘을 제안한다. III장에서는 제안하는 알고리즘이 해결하고자 하는 문제를 정의하고 배경을 설명하기 위해, NoC에서 보편적으로 많이 쓰이는 메시 토폴로지와 XY 라우팅 알고리즘을 채택한 [10]에서 제안한 기본적인 HONoC 구조를 언급하고자 한다. 이 HONoC 구조는 그림 1과 같이 각 노드(node)마다 PE와 라우터가 존재하고 각 라우터 간은 OI 및 EI로 연결되는 메시 토폴로지이다. HONoC 라우터는 OI와 EI를 모두 지원한다. 이러한 통상적인 HONoC 네트워크에서는 데이터 전송을 할 때 다음과 같은 일련의 과정을 거친다.: 1) 출발지에서 경로 설정 패킷을 EI를 통해 목적지로 전송한다. 2) 경로 설정 패킷을 받은 라우터는 라우팅 알고리즘에 따라 다음 라우터 혹은 최종 목적지일 경우 PE

로 라우팅을 함과 동시에 payload 데이터 전송을 위한 광학적 경로를 설정한다. 3) 경로 설정 패킷이 목적지에 도착을 하면 EI를 통해 출발지로 Ack를 전송한다. 4) Ack가 출발지에 도착하면 출발지에서 OI를 통해 데이터를 전송한다. 5) 데이터 전송이 완료되면 출발지에서 경로 해제 패킷을 EI를 통해 전송시켜 광학적 경로를 해제시킨다.

HONoC의 데이터 전송 과정을 보면 전기적 네트워크를 사용하여 광학적 경로를 설정한 후에 광학적 네트워크로 데이터를 전송하는 서킷 스위칭의 형태로 구성된다. 이로 인해 광학적 경로 충돌 시 패킷 스위칭에서는 가능한 병렬 데이터 전송이 불가능하게 된다. 이는 특히 대용량 데이터 전송 시 더욱 심각해지는 지연시간 불균등(latency unfairness) 문제까지 유발하게 된다.

IV. 태스크 매핑 알고리즘

1. 문제 정의

그림 2는 HONoC 구조에서의 광학적 경로 충돌에 의한 지연 시간 불균등 문제를 예시하고 있다. PE (1,1)과 PE (3,3) 간의 데이터 전송을 하고 있어 광학적 경로를 차지하고 있을 때, PE (0,1)이 PE (3,1)에게 데이터를 전송을 시도하려고 한다. 하지만 경로가 이미 사용되고 있어 즉각적인 데이터 전송이 불가능 하게 된다. 이 상

그림 1. 하이브리드 광학 NoC 구조
Fig. 1. Structure of a Hybrid Optical NoC.

그림 2. HONoC 구조에서의 경로 충돌 문제의 예
Fig. 2. An example of path collision problem in HONoC.

황에서 PE (0,1)과 PE (3,1)간의 데이터 전송은 PE (1,1)과 PE (3,3)간의 데이터 전송이 종료될 때까지 기다려야 한다.

EI 기반의 NoC의 경우, 지연 시간은 각 라우터에서의 프로세싱 시간과 링크에서의 전달 지연 시간(propagation time)에 의해 즉, 데이터들의 이동 시간에 의해 결정된다. 그에 반해, HONoC 구조에서는 전기적인 특성과 광학적인 특성을 결합시키고자 서킷 스위칭 방식을 채용하면서 대용량 데이터는 광학적 연결 경로를 통해 빠르게 전송될 수 있다. 광학적 경로를 통한 데이터 전송은 미리 설정된 광학 경로를 통해 진행하면 되므로 각 라우터에서의 라우팅을 하는 프로세싱 시간이 필요하지 않으며 전달 지연 시간 역시 전기적 전송에 비해 적기 때문이다. 하지만 이 경우 사전에 EI를 경유하는 경로설정패킷을 통한 OI 경로 설정이 필요하게 되고 그림 2와 같은 상황 빈도가 증가하면 EI를 통한 경로 설정이 전체 온칩 네트워크 지연 시간에 상당한 영향을 주게 된다^[1].

통상적으로 NoC 상에 태스크를 매핑하는 기존 기법들^{[6]-[9]}은 EI만 사용되는 NoC의 패킷 스위칭 네트워크에서의 매핑 알고리즘을 고려하기 때문에 패킷 스위칭과 서킷 스위칭이 복합적으로 쓰이는 HONoC에서의 경로 충돌 증가 문제는 반영하고 있지 못하다. 4.1에서 HONoC에서의 경로 충돌 증가에 의한 지연 시간 불균등 해소와 전체적인 네트워크 지연 시간 최적화를 위해 각 PE에 적절한 태스크를 할당하는 문제를 정의하고 분석한다. 또한 4.2에서는 문제에 대한 분석을 바탕으로 분기 한정법(branch-and-bound)에 기반한 태스크 매핑 알고리즘을 제안한다.

가. 태스크 특성 그래프

태스크를 효율적으로 매핑하기 위해서는 태스크 간의 통신 패턴과 특성을 고려해야 한다. 이러한 태스크 간의 통신은 그림 3과 같이 태스크 특성 그래프로 표시할 수 있으며, 이는 DAG 표기에 의해 $G = \langle V, E \rangle$ 로 표현된다. $v_i \in V$ 는 태스크를 나타내고 $e_{i,j} \in E$ 는 태스크 v_i 가 v_j 로 데이터를 보내는 통신을 나타낸다. 여기서 $e_{i,j}$ 는 두 가지 값을 갖고 있다: 1) $BW(e_{i,j})$ 는 v_i 가 v_j 로 보내는 통신의 대역폭을 나타낸다. 2) $CV(e_{i,j})$ 는 v_i 가 v_j 로 데이터를 전송할 때 한 번의 통신에서 보내는 최대 데이터양을 나타낸다.

그림 3. 태스크 특성 그래프의 예
Fig. 3. An example of Task Characterization Graph.

나. NoC 그래프

문제 정의를 위해서는 태스크들의 통신 패턴과 마찬가지로 PE 들의 배치 상태 및 연결 상태를 정의하여야 한다. 이를 위한 PE 간의 연결성을 나타내는 NoC 그래프는 $P = \langle U, F \rangle$ 로 나타낸다. $u_i \in U$ 는 NoC에서의 PE를 나타내고 $f_{i,j} \in F$ 는 u_i 와 u_j 간의 연결을 나타낸다.

다. 매핑

$map()$ 은 태스크 특성 그래프 $G = \langle V, E \rangle$ 을 NoC 그래프 $P = \langle U, F \rangle$ 에 매핑하는 함수이다. 이는 각각의 태스크를 NoC의 PE에 매핑을 한 후의 결과로, 다음과 같이 사용된다.

$$map(v_i) = u_j, \forall v_i \in V, \exists u_j \in U \quad (1)$$

$|V| \leq |U|$ 일 때, 매핑이 정의 된다.

라. 라우팅 경로

지연 시간을 최소화 하는 문제를 정의하기 위해서는 라우팅 경로를 매핑 시에 이미 알 수 있어야 한다. 이를 위해 확정적 알고리즘(Deterministic algorithm) 기반으로 문제를 정의 하였다. 확정적 알고리즘에 의해 매핑된 태스크 v_i 로부터 v_j 로의 통신에 사용되는 연결 F 의 부분 집합을 $L(e_{i,j})$ 라고 정의한다.

마. 경로 충돌

매핑 후 $e_{i,j}$ 와 라우팅 경로가 공유되는 모든 $e_{i',j'} \in E$ 를 $S_{i,j}$ 라고 정의 한다. 즉, $L(e_{i,j}) \cap L(e_{i',j'}) \neq \emptyset$ 이

면 $e_{i',j'} \in S_{i,j}$ 가 된다.

$$W_Lat(e_{i,j}) = \sum_{\forall e_{i',j'}} \frac{CV(e_{i',j'})}{Opt_BW}, \quad \forall e_{i',j'} \in S_{i,j} \quad (2)$$

위의 정의를 토대로 식 (2)은 광학적 경로 충돌에 의한 지연 시간을 표현한다. 여기서 Opt_BW 는 광학적 연결의 대역폭을 의미한다. $W_Lat(e_{i,j})$ 는 경로 충돌 발생 시 중첩된 다른 모든 데이터 전송 작업이 완료된 후 자기 자신의 전송이 완료될 때의 worst case 지연 시간을 의미한다.

이를 통해 지연 시간 균등화 및 최소화 문제를 다음과 같이 정의하였다.

HONoC Latency Optimization Problem
 Given $G = \langle V, E \rangle$ and $P = \langle U, F \rangle$
 Find the mapping function map such that
 $\sum_{\forall e_{i,j}} W_Lat(e_{i,j})$ is minimized
 Subject to $Opt_BW \geq Link_BW(f_{i,j}), \quad \forall f_{i,j} \in F$

여기서 $Link_BW(f_{i,j})$ 는 광학 대역폭의 요구량을 의미하고 (3)의 식으로 표현된다.

$$Link_BW(f_{i,j}) = \sum_{\forall e_{i,j}} BW(e_{i,j}), \quad f_{i,j} \in L(e_{i,j}) \quad (3)$$

위의 광학적 대역폭 요구량($Link_BW(f_{i,j})$)이 실질적으로 사용 가능한 대역폭(Opt_BW)을 초과하는 매핑을 하게 되면 태스크의 수행 시간을 증가시킬 뿐만 아니라 HONoC 네트워크의 지연 시간 자체도 크게 증가시키게 된다. 예를 들어, Task1이 Task2에 60Gbps로 발생하는 데이터를 전송하는데 전송 가능한 대역폭은 40Gbps 라면 데이터를 생성하는 Task1의 처리 시간이 지연되고 데이터 전송 또한 누적될수록 더욱 지연되게 된다. 즉, 광학적 지연 시간을 최적화하기 위해서는 각각의 OI에서의 대역폭 요구량이 실질적인 광학적 대역폭을 초과하지 않도록 하면서 경로를 공유하는 전송 간의 지연 시간을 줄여야 한다.

2. 매핑 알고리즘

NoC 토폴로지 상에서 PE에 태스크를 매핑하는 문제는 Quadratic assignment problem(QAP)에 속하는 문제로 polynomial time내에 풀 수 있는 알고리즘이 존재하지 않는 NP hard로 알려져 있다. 제안하는 알고리즘은 불필요하게 고려할 해의 제거를 통해 빠른 연산을 수행할 수 있도록 분기 한정법을 기반으로 작성하였다.

제안하는 알고리즘의 기본 원리는 전체적인 지연 시간을 줄이기 위해 통신 경로 충돌 최소화 매핑을 하는데 있다. 하지만 네트워크 복잡도와 통신 데이터양이 증가할수록 모든 충돌 통신 경로를 고려하여 독립적으로 배치하기는 쉽지 않기 때문에 대용량 데이터 전송 경로의 경우 우선적으로 전송 경로 중첩을 제거하거나 최소화하고 불가피한 충돌경로의 경우 데이터양이 적은 전송에서 발생하도록 매핑하는 방법을 선택하였다. 제안하는 알고리즘의 원리는 다음과 같다.

가. 지연 시간의 코스트(cost)

통신 $e_{i,j}$ 에 대한 지연 시간의 코스트는 v_i 와 v_j 가 모두 매핑된 후 적용 된다. 두 태스크가 매핑이 되지 않은 상태에서 코스트가 계산될 수 없기 때문이다. 코스트의 초기 값은 0이 되고 태스크가 매핑된 후 해당 태스크와 연관된 통신이 코스트로 적용이 될 때마다 식 (4)을 통해 갱신된다.

$$cost' = cost + Latency(e_{i,j}) + N \times \frac{CV(e_{i,j})}{Opt_BW} \quad (4)$$

식 (4)에서 $cost$ 는 기존에 누적된 코스트를 지칭하고 $cost'$ 는 추가되는 통신에 의해 누적되는 코스트를 지칭한다. N 은 추가되는 통신과 경로가 충돌되는 통신의 개수이다. 위의 식은 새로 추가되는 통신의 지연 시간 뿐만 아니라 이미 반영된 통신이 새로 추가된 통신에 의해 증가하는 지연시간까지 반영될 수 있도록 하였다.

나. 대역폭 한계에 대한 설정

하나의 $f_{i,j}$, 즉 광학적 연결이 수용할 수 있는 대역폭을 초과하게 되면 코스트를 무한대 값으로 줄 수 있게 구성하였다. 이는 대역폭을 초과하게 되면 지연 시간에 치명적인 영향을 미칠 수 있으므로 이를 방지하기 위해서이다.

다. 알고리즘의 속도 개선

앞에서 언급한대로 NP hard 문제이므로 최적해(Optimum solution) 탐색 시간을 줄이기 위해, 제안한 알고리즘은 매핑을 통해 찾아진 후보 해(candidate solution) 중 가장 작은 코스트 값을 저장해 놓는다. 현재 매핑 중인 후보 해가 저장된 코스트를 이미 초과하면 이 매핑은 최적해가 될 수 없다고 판단하여 이 후보 해를 통해 파생되는 다른 해를 탐색하지 않는다. 이를

통해 불필요한 매핑 시도를 줄일 수 있다. 모든 태스크가 PE에 매핑되었을 때 누적된 코스트가 0이라면 최적해가 된다. 이는 경로 충돌과 대역폭 초과를 하는 통신이 없다는 것이고 결국 정의된 문제의 최적해로 바로 채택될 수 있으므로 더 이상 진행할 필요가 없다.

라. 제안하는 알고리즘

제안하는 알고리즘은 그림 4와 같이 재귀적으로 태스크를 PE에 순차적 매핑하면서 최적해를 찾는다.

알고리즘은 다음과 같은 일련의 과정으로 구성되어 있다.

i) 매핑이 완료되었을 때의 동작 : 매핑이 완료되었을 때의 코스트를 지금까지 찾은 후보해 중 최소 코스트를 갖는 후보해와 비교하여 최소 코스트를 갖는 후보해를 선택한다. 속도 개선을 위해 코스트가 0이면 최적해라고 판단하고 매핑 알고리즘을 종료시킨다.

ii) 하위 후보해의 탐색 결정 : 매핑이 완료되지 않은 시점에서 코스트가 최소 코스트보다 클 경우 모든 하위 후보 해는 현재의 코스트보다 크게 되고 최적해가 될 수 없다. 이러한 경우 알고리즘 속도 개선을 위해 하위 후보해의 탐색을 건너뛴다.

iii) 태스크 매핑 : *allocation_calculation_path()* 함수를 통해 태스크가 PE에 매핑되었을 때, 각 광학적

Initialization(*number_of_PE, number_of_task*)

```

1: total_task := number_of_task
2: total_pe := number_of_PE
3: minimum_cost := ∞
4: for i from 0 to total_pe -1
5:   pe_mapping[i] := 0

```

그림 5. 매핑 알고리즘에서의 변수 초기화 부분의 의사 코드

Fig. 5. Pseudo-code of variables initialization in the mapping algorithm.

연결에 새로 적용될 통신 경로를 반영하여 그에 따른 경로 충돌에 대한 코스트를 갱신한 후 최적 코스트를 만족시키기 위한 재귀적 매핑을 반복한다. 태스크 매핑 완료 후 다른 후보해 탐색을 위해 *returning_path()*에서 적용되었던 통신을 이전 상태로 복구 시켜주고 코스트 역시 원상태로 되돌려준다. 의사 코드에서 *total_task*는 매핑해야 할 task의 총 개수를 의미하고 *total_pe*는 네트워크에 존재하는 PE의 개수를 의미한다. 모든 변수들은 그림 5와 같이 초기화 된다.

위와 같이 재귀 동작을 이용해 4.1에서 정의한 HONoC 구조에서의 지연 시간 불균등 및 지연 시간 최적화 문제를 푸는 알고리즘을 구성하였다. 제안하는 알고리즘은 NP hard인 태스크 매핑 문제의 최적해를 빠르게 찾을 수 있도록 4장 2절에서 제안한 기법으로 빠른 성능을 낼 수 있도록 개선하였다.

OptimizationHONoCAlgorithm(*cost, task_number, map*)

```

1: if task_number = total_task
2:   if minimum_cost > cost
3:     Copy from map to minimum_map
4:     minimum_cost := cost
5:   if minimum_cost = 0
6:     return 1
7:   else
8:     return 0
9: if cost >= minimum_cost
10:  return 0
11: for i from 0 to total_pe -1
12:  if pe_mapping[i] = 0
13:    pe_mapping[i] := 1
14:    local_cost = allocation_calculation_path(i, task_number)
15:    cost := cost + local_cost
16:    map[task_number] = i
17:    finish_flag = OptimizationHONoCAlgorithm( cost, task_number + 1, map )
18:    if finish_flag = 1
19:      return 1
20:    cost := cost - local_cost
21:    returning_path( i, task_number )
22:    core_mapping[i] := 0
23: return 0

```

그림 4. HONoC 구조에서 지연 시간 최적화를 위한 매핑 알고리즘의 의사(Pseudo) 코드

Fig. 4. Pseudo-code of Mapping algorithm for optimizing latency in HONoC architecture.

V. 실험

본 논문에서는 HONoC 구조 구현의 용이성 및 라우터와 PE의 실질적인 통신을 측정하기 위해 SystemC를 기반으로 한 시뮬레이터를 작성하였다. SystemC로 OI 네트워크의 광학 라우터와 EI 네트워크의 전기적 라우터를 구성하여 클럭 사이클 단위 정밀도 시뮬레이션을 수행하였다. 두 네트워크 모두 같은 메시 토폴로지로 구성하였고 광학적 네트워크의 대역폭은 [11]에 근거하여 링크당 40Gbps로 할당하였다. 이와 동일하게 전기적 네트워크의 대역폭 역시 40Gbps가 될 수 있도록 625MHz 64 비트 링크로 설정하였다. 본 시뮬레이터에서 구현한 HONoC 네트워크는 전기적 패킷이 XY 라우팅으로 목적지까지 진행하면서 광학적 경로를 설정한 후, 광학적 경로를 통한 대용량 데이터의 전송이 이루어질 수 있도록 구성하였고 이는 [10]에서 제안한 기본적인 HONoC 구조와 동일하다.

이러한 환경 하에서 매핑 기법에 따른 성능 비교를 위해 TGFF^[12]를 이용하여 트래픽 특성에 따라 5개의 태스크 특성 그래프를 생성하였다. 5개의 태스크 특성 그래프 상에서 제안하는 매핑 알고리즘을 통해 매핑된 NoC 네트워크의 성능을 다음의 다른 두 가지 방식이 적용한 NoC 네트워크와 비교하였다: 1) 태스크를 PE에 무작위하게 매핑하는 방식 2) [6]에서 제안한 제한된 대

역폭을 고려하여 매핑하는 방식. 태스크 간의 트래픽은 태스크 특성 그래프에 기반하여 빈도 및 데이터의 양이 생성될 수 있게 하였고 이를 앞서 설명한 SystemC 시뮬레이터에서 50,000 사이클씩 100번 수행하여 평균치를 구하였다.

그림 6은 5개의 특성 그래프에 따른 4x4 메시 토폴로지에서의 지연시간 및 네트워크 처리량을 보여주고 있다. 벤치마크 1과 2는 태스크 수가 전체 네트워크 수용량의 90% 이상에서 PE당 평균적인 통신 개수가 2와 3일 때이고 벤치마크 3, 4, 5는 태스크 수가 전체 네트워크 수용량의 75% 이고 PE당 평균적인 통신 개수가 2, 3, 4 일 때의 특성 그래프이다.

지연 시간의 실험 결과를 보면 태스크 수가 많은 벤치마크 1과 벤치마크 2에서는 51~55% 가량의 지연 시간 감소가 있음을 볼 수 있고 태스크 수가 비교적 적은 벤치마크 3, 4, 5에서는 33~41%의 지연 시간 감소가 있었다. 지연 시간 감소의 결과는 제안하는 매핑 방식이 HONoC 구조의 경로 충돌을 최소화 시키고 따라서 지연 시간을 최적화시킨 것으로 해석할 수 있다. 또한 PE당 평균적인 통신 개수가 고정되어 있고 태스크 수는 다른 벤치마크 1과 3, 벤치마크 2와 4의 결과를 각각 비교해 보았을 때, 태스크 수가 많아질수록 제안하는 매핑 방식이 다른 매핑 방식에 비해 효율적인 것으로 볼 수 있다. 즉, 네트워크 복잡도가 증가함에 다른 매핑 방식에서는 경로 충돌이 많아짐으로써 지연 시간이 증가하는 반면 제안하는 알고리즘에 의한 매핑에서는 경로 충돌이 많은 경우 더욱 효과적인 것을 입증하였다. 그에 반해 태스크 수가 일정하고 PE당 통신 개수가 증가할 때의 결과는 벤치마크 1, 2와 3, 4, 5를 각각 비교하였을 경우 볼 수 있다. 이 경우 지연 시간 감소의 비율이 줄어드는데 이는 라우터와 라우터 간의 광학적 경로 충돌을 줄여들지만 PE와 라우터 간의 광학적 경로 충돌을 감소시키지 못 해 지연 시간 감소율이 둔화됨을 볼 수 있다. 네트워크 스루풋(throughput)의 증가는 지연 시간 감소에 따른 네트워크 자원의 효율적인 사용에 의해 증가하였는데 평균적으로 4%의 증가를 보였다.

그림 7은 네트워크 사이즈에 따라 매핑 방식 별 지연 시간을 측정한 결과이다. 태스크 수는 전체 네트워크 사이즈의 80%로 고정 시켰고 PE당 통신수도 평균 2개로 고정시킨 후 실험하였다. 위 실험 결과에서는 4x4일 때는 대역폭의 한계치만 충족시켰을 때에 비해 44%의 지연 시간 감소를 보였고 6x6일 때는 58%, 8x8일 때는 61%의 지연 시간 감소를 보였다.

(a) Latency evaluation

(b) Throughput evaluation

그림 6. 태스크 특성 그래프에 따른 성능 측정

Fig. 6. Performance evaluation under different task characterize graph.

그림 7. 네트워크 사이즈에 따른 지연 시간 측정

Fig. 7. Latency evaluation under different network size.

네트워크 사이즈가 증가함에 따라 경로 충돌이 발생할 확률이 커지게 되고 그에 따라 제안하는 알고리즘이 더욱 효과적임을 확인할 수 있다. 기본적으로, 메시 토폴로지에서 네트워크 사이즈가 증가함에 따라 평균적인 통신 경로의 길이가 길어지게 된다. 그에 따라, 경로 충돌을 고려하지 않은 타 매핑 알고리즘은 경로가 충돌할 가능성이 증가한다. 그에 반해 제안하는 매핑 알고리즘은 네트워크 사이즈에 구애받지 않고 경로 충돌을 최대한 피함으로써 경로 충돌을 줄여 네트워크 사이즈가 증가할 때 더욱 효과적이라고 해석 될 수 있다.

IV. 결 론

본 논문에서는 서킷 스위칭 기반의 HONoC 구조에서 경로 충돌 최소화를 통한 네트워크 지연 시간 최적화를 위해 태스크를 PE에 매핑하는 알고리즘을 제안하였다. 제안된 알고리즘은 태스크 간 통신의 DAG 모델링과 HONoC 특성을 고려한 지연시간 코스트를 목적함수로 하여 모델링되었다.

위의 매핑 알고리즘을 검증하고자 SystemC 기반의 시뮬레이터를 작성하고, TGFF를 생성된 5개의 태스크 그래프에 대해 무작위 매핑, 대역폭 제한 매핑과 비교하여 4x4 및 8x8 메시 토폴로지 상에서 평균적으로 43% 및 61%의 지연 시간 감소를 볼 수 있었다. 제안된 알고리즘은 네트워크 트래픽과 네트워크 사이즈가 증가할수록 더욱 효과적임을 보였고, 또한 라우팅 알고리즘의 복잡도를 증가시키지 않는 장점을 가지고 있다.

REFERENCES

[1] A. Shacham and K. Bergman and L. P. Carloni, "On the design of a photonic Network-on-Chip," in Proc. of the First Int. Symp. on Networks-on-Chip, pp. 53-64, Princeton, New

Jersey, USA, May 2007.

- [2] S. Kwon and J. D. Cho and T. H. Han, "Switch Architecture and Routing Optimization Strategy Using Optical Interconnects for Network-on-Chip," *Journal of IEEK-SD*, Vol. 46, no. 9, pp. 25-32, September 2009.
- [3] Y. Ye and L. Duan and J. Xu and J. Ouyang and M. K. Hung and Y. Xie, "3D optical Networks-on-Chip (NoC) for Multiprocessor Systems-on-chip (MPSoC)," in Proc. of IEEE Int. Conf. on 3D System Integration, pp. 1-6, San Francisco, California, USA, September 2009.
- [4] K. H. Mo and Y. Ye and X. Wu and W. Zhang and W. Liu and J. Xu, "A hierarchical hybrid optical-electronic Network-on-Chip," in Proc. of IEEE Computer Society Annual Symposium on VLSI, pp. 327-332, Lixouri Kefalonia, Greece, July 2010.
- [5] J. T. Seo and Y. J. Hwang and T. H. Han, "A Study on the Parallel Routing in Hybrid Optical Networks-on-Chip," *Journal of IEEK-SD*, Vol. 48, no. 8, pp. 25-32, August 2011.
- [6] S. Murali and G. D. Micheli, "Bandwidth-constrained mapping of cores onto NoC architectures," in Proc. of Conf. on Design, automation and test in Europe, Vol. 2, pp. 896-901, Paris, France, February 2004.
- [7] J. Hu and R. Marculescu, "Energy- and performance-aware mapping for regular NoC architectures," *IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems*, Vol. 24, no. 4, pp. 551-562, April 2005.
- [8] J. Hu and R. Marculescu, "Energy-aware communication and task scheduling for network-on-chip architectures under real-time constraints," in Proc. of Conf. Design, automation and test in Europe, Vol. 1, pp. 234-239, Paris, France, February 2004.
- [9] J. Hu and C. Buckl and A. Raabe and A. Knoll, "Energy-aware task allocation for network-on-chip based heterogeneous multiprocessor systems," in Proc. of 19th Euromicro International Conf. Parallel, Distributed and Network-Based Processing, pp. 447-454, Ayia Napa, Cyprus, February 2011.
- [10] H. Gu and K. H. Mo and J. Xu and W. Zhang, "A low-power low-cost optical router for optical networks-on-chip in multiprocessor systems-on-chip," in Proc. of IEEE Computer Society Annual Symp. VLSI, pp. 19-24, Tampa, Florida, USA, May 2009.
- [11] J. A. Lott and N. N. Ledentsov and V. A.

Shchukin and A. Mutig and S. A. Blokhin and A. M. Nadtochiy and G. Fiol and D. Bimberg, "850nm VCSELs for up to 40 Gbit/s Short Reach Data Links," in Proc. of 2010 Conference on Lasers and Electro-Optics (CLEO) and Quantum Electronics and Laser Science Conference (QELS), pp. 1-2, San Jose, California, USA, May 2010.

- [12] R. B. Dick and D. L. Rhodes and W. Wolf, "TGFF: task graphs for free," in Proc. of the 6th international workshop on Hardware/software codesign, pp. 97-101, Seattle, WA, USA, March 1998.

— 저 자 소 개 —

이 재 훈(학생회원)
2011년 성균관대학교 반도체시스템공학과 학사 졸업.
2011년 3월~현재 성균관대학교 정보통신대학 석사과정.
<주관심분야 : SoC 설계, 임베디드 시스템>

이 창 림(학생회원)
2010년 연변과학기술대학교 컴퓨터전자통신공학부 학사 졸업.
2012년 부산대학교 인지메카트로닉스공학과 석사 졸업.
2012년 9월~현재 성균관대학교 정보통신대학 석박사과정.

<주관심분야 : SoC 설계 및 테스트>

한 태 희(평생회원)
1992년 KAIST 전기 및 전자공학과 학사 졸업.
1994년 KAIST 전기 및 전자공학과 석사 졸업.
1999년 KAIST 전기 및 전자공학과 박사 졸업.
1999년 3월~2006년 8월 삼성 전자 통신연구소 책임 연구원.
2006년 9월~2008년 2월 한국산업기술대학교 전자공학과 조교수.
2008년 3월~현재 성균관대학교 정보통신대학 반도체시스템공학과 부교수.
2011년 5월~2013년 4월 지식경제부 시스템반도체 PD
<주관심분야 : SoC 아키텍처 및 설계 방법론, 3D IC, 메모리/스토리지 시스템 구조, 임베디드 SW, IT 융합 기술>