3차원 탐색 레이더용 고속 실시간 신호처리기 개발

Development of High-Speed Real-Time Signal Processing for 3D Surveillance Radar

배준우 · 김봉재 · 최재흥 · 정래형

Jun-Woo Bae · Bong-Jae Kim · Jae-Hung Choi · Lae-Hyung Jeong

요 약

개발된 3차원 탐색 레이더는 저속으로 기동 중인 작은 RCS(Radar Cross Section)를 갖는 다수의 표적을 TWS (Track While Scan) 방식을 활용하여 실시간으로 탐지, 추적하여 표적의 거리, 속도, 각도 정보를 추출하는 펄스 도플러(pulsed-doppler) 방식의 레이더이다. 본 논문에서는 고속으로 기동하는 표적을 탐지하기 위한 일반적인 레이더 신호처리 기법과 비교하여 영속도 근처의 저속 표적을 탐지하기 위한 속도 채널 처리 및 클러터맵 생성 기법, 생성된 클러터맵을 활용하여 표적 정보를 획득하기 위한 신호처리 기법을 기술하며, 고속 다중 DSP가 탑재된 상용(COTS: Commercial Off-The-Shelf) 보드를 활용하여 개발된 3차원 탐색 레이더용 실시간 신호처리기의 HW/SW 구조 설계 및 탑재 알고리즘, 시험 결과 등을 제시한다.

Abstract

A 3-D surveillance radar is a pulsed-doppler radar to provide various target information, such as range, doppler and angle by performing TWS. This paper introduces HW/SW architecture of radar signal processing board to process in real-time using high-speed multiple DSP(Digital Signal Processor) based on COTS. Moreover, we introduced a implemented algorithm consisted of clutter map creation/renewal, FIR(Finite Impulse Response) filter for rejection of zero velocity components, doppler filter, hybrid CFAR and finally presented computational burden of each algorithm by performing operational test using a beacon.

Key words : RADAR, Signal Processing, CM CFAR, MCA CFAR, Cluttermap, TWS

I. 서 론

기존에 개발된 펄스 도플러 방식의 레이더는 전투기, 항공기 등과 같이 고속으로 기동하는 표적의 탐지/추적을 목적으로 개발되었다. 요구되는 레이더 운용개념 아래 주어진 자원을 효율적으로 활용하여 보다 많은 숫자의 고속 기동 표적을 탐지, 추적하기 위한 빔 스케줄링 기법^[1]을 적용하고, 다양한 운용

파형을 설계하였으며, 탐지하고자 하는 표적에 대한 수신 신호와 제거하고자 하는 클러터 수신 신호 사이의 주파수(속도) 차가 크다는 점을 활용하여 탐지/추적 알고리즘을 개발하였다^{[2]~[5]}.

하지만 오늘날 남북 대치의 상황에서 비대칭 전력, 비군사 작전 또는 저강도 분쟁 형태의 하나로 소형 폭탄과 원격 제어 비행체를 이용한 테러 위협이 예상되고 있으며, 원격 제어 비행체는 낮은 피탐지율, 높

「이 연구는 국방과학연구소 민간기술협력지원단(DUPC)의 지원으로 수행되었음.」

삼성탈레스 ISR · PGM연구소(ISR · PGM R&D Center, SamsungThales)

· Manuscript received April 11, 2013 ; Revised July 17, 2013 ; Accepted July 18, 2013. (ID No. 20130411-045)

· Corresponding Author : Jun-Woo Bae (e-mail : junwoo.bae@samsung.com)

은 제어 성능 및 비행체 제작 용이성 등의 특징을 가지고 있어 기존 군사 방공망으로는 탐지가 거의 불가능하므로 국가 주요 인사에 대한 위해, 국가 주요 시설 및 기간시설 등이 테러로부터 노출되어 있는 실정이다. 그래서 이러한 저고도 원격 제어 비행체의 침입을 효과적으로 저지할 수 있는 저고도 근거리 대공 감시 시설의 구축에 대한 요구가 커졌으며, 이러한 요구사항의 충족을 위한 레이더 개발의 필요성이 대두되었다. 저고도 원격 제어 비행체와 같이 저속(~ 30 m/s)으로 기동하는 표적은 표적의 속도와 클러터 신호 사이의 주파수(속도) 차이가 크지 않기 때문에 기 개발된 도플러 필터^{[2],[3]}와 CFAR(Constant False Alarm Rate) 알고리즘으로는^[4] 표적 탐지 및 정보 획득이 쉽지 않을 뿐만 아니라, 기존 레이더 운용 시 고비용, 저효율의 문제점이 존재한다.

본 논문에 기술된 3차원 탐색 레이더는 저속(~ 30 m/s)으로 기동 중인 작은 RCS(~ 0.1 m²)를 갖는 다수의 표적을 탐지/추적하기 위하여 TWS(Track While Scan) 방식을 활용하여 실시간으로 표적의 거리, 속도, 각도(방위각/고각) 정보를 추출하는 펄스 도플러 방식의 레이더이다. 그리고 탑재된 실시간 신호처리기는 저속 기동 표적의 효과적인 탐지를 위해 기존에 개발된 탐지 알고리즘을 보완하여 추가로 클러터 맵을 생성, 갱신 및 적용시키는 하이브리드 CFAR 알고리즘과 도플러 필터 처리를 탑재하였으며, 본 논문에 그에 대한 상세 설명 및 구현 결과를 제시한다.

본 논문의 II 장에서는 설계된 신호처리기에 대한 이해를 돕기 위하여 개발된 3D 탐색 레이더 시스템의 개요를 먼저 설명한다. 이어서 한정된 자원의 효과적 분배를 위해 PPC(Power PC) 계열의 고속 다중 DSP(Digital Signal Processor)가 탑재된 상용(COTS, Commercial Off-The-Shelf) 보드를 활용한 처리통제부 하드웨어와 소프트웨어 구조 설계 결과를 기술하고, 본 논문에서 저속 기동 표적을 탐지하기 위해 제안하는 클러터 맵 기반의 탐지 알고리즘과 탑재 알고리즘별 연산 시간 분석 및 시험 결과를 제시한다. 그리고 마지막으로 본 논문의 결론을 제시한다.

II. 본 론

2-1 3D 탐색 레이더 시스템

표 1. 3D 탐색 레이더 주요 사양

Table 1. Radar system main parameters.

항목	사양
탐지 거리	0 km
탐지 확률	90 % for SW1, RCS 0.1 m ² , 2 out of 2 detection criterion
오경보율	1E-6
펄스폭	max 10 us
주파수 대역	L 대역
송신 파형	LFM(Linear FM) / PT(Pulse Train)
송신 출력	000 W
빔 폭	00°(수평) / 00°(수직)
탐지 범위	360°(방위각) / 50°(고각)
표적 추적	30대(TWS)

탐색 레이더 시스템은 관공서나 국가 기반시설, 군 부대 등의 주요 시설에 배치되어 무인항공기, 원격조정 비행체와 같은 저속, 소형 비행체 침입에 대비한 단거리 대공 감시 임무의 수행을 목적으로 한다. 그리고 레이더는 탐지/추적된 표적의 확인 및 식별을 위한 EO/IR 영상센서 시스템과 표적 제거를 위하여 항법, 통신 교란을 수행하는 제머 시스템과 함께 하나의 셀터에 통합되어 있다. 레이더 시스템의 주요 사양은 표 1에 기술하였다.

주요 특징으로는 슬립링, 로터리 조인트와 같은 회전 구동부의 적용 없이 전방위 탐색을 위한 전자식 빔 조향의 구현을 위해 원통형 능동 위상 배열(cylindrical active phased array) 방식의 레이더로 설계되었으며, 효율적인 처리를 위해 스위치 매트릭스 구조를 적용하여 방위각 120° 간격으로 3개의 섹터로 구분하여 처리한다. 안테나부, 송수신부, 처리통제부로 구성된 탐색 레이더의 블록도와 개발 형상은 그림 1과 2에 도시하였다.

실시간으로 다수의 고속 기동 표적에 대한 탐지, 추적과 동시에 표적 적아 식별, 유도탄 포착/추적 교신, ECCM을 수행해야 하는 3차원 다기능 레이더(MFR: Multi-Function Radar)는 제한된 빔 자원(beam resource)을 효율적으로 활용할 수 있도록 표적 위협도 분석을 기반으로 하는 표적별 차등 처리를 통한 빔 스케줄러를 이용하여 임무를 수행하지만^{[1],[5]}, 개발된 탐색 레이더 시스템은 보다 넓은 빔 폭을 운용

그림 1. 3D 탐색 레이더 블록 다이어그램
Fig. 1. Block diagram for 3D surveillance radar system.

그림 2. 개발된 탐색 레이더 하드웨어 형상
Fig. 2. HW configuration for surveillance radar.

하여 저속 표적의 탐지/추적을 목적으로 하기 때문에 상대적으로 구현이 간단한 TWS(Track While Scan) 방식의 빔 스케줄러로 임무 수행이 가능하다.

3차원 탐색 레이더 운용에 있어 신호처리기의 역할은 한정된 자원(시간)의 효과적 분배를 기반으로 하여 신호 처리 보드로 연속적으로 입력되는 원시 데이터를 실시간으로 처리하여 플롯(plot) 데이터를 생성하고, 생성된 플롯 데이터의 관리 및 추적 처리를 수행하는 통제 보드로 전달하는 것이다^[6]. 구현된 탐색 레이더의 처리통제부에 포함되어 실시간 신호 처리의 임무를 수행하기 위한 하드웨어 및 소프트웨어의 구조는 다음 장에 기술한다.

2-2 처리통제부 HW 선정 및 SW 구조 설계

그림 3에 표기된 CPI(Coherent Processing Interval)는 실시간으로 처리되어야 하는 신호 처리 보드 입력 데이터의 단위 시간을 의미하며, 데이터의 크기는 $N_R(\text{코히어런트 송신 펄스 수}) \times N_R(\text{range bin 수})$ 와 같다^[4]. CPI 동안 수신된 데이터는 저속, 저 RCS 표적

그림 3. 탐색 레이더 실시간 입력 데이터 형상화
Fig. 3. Configuration of input data on real-time.

탐지를 위해 신호 처리 보드에 탑재된 알고리즘이 수행된 후, 데이터 처리를 위한 통제보드로 전송되며, 이상의 과정이 실시간으로 처리되기 위한 처리 통제부의 내/외부 인터페이스를 선정해야 한다.

신호 처리 보드로 입력되는 원시(raw) 데이터는 펄스 압축(pulse compression) 처리된 3채널(Σ , Δa , Δe) 신호이며, serial FPDP 프로토콜로 광(optical) 연동된다.

신호 처리 보드로 입력되는 광 데이터의 실시간 처리를 위해 요구되는 시간의 최대치가 T_{MAX} 라면,

$$T_{MAX} = T_1 + \{CPI \times (N_{CORE} - 1)\} + T_2, \quad T_1 + T_2 \leq CPI \quad (1)$$

T_1 : 코어#0에서 각 코어로 처리할 데이터를 전송하는데 필요한 시간

T_2 : 각 코어에서 처리된 결과가 통제보드로 전송되는데 필요한 시간

N_{CORE} : 신호처리에 활용된 코어 수

로 정의된다.

신호 처리 보드에 탑재될 알고리즘들의 연산량 초기 산정 결과, 약 $6.5 \times CPI$ 가 소요되었으며, 최소 7개의 코어가 있다면 일정 지연($\leq 7 \times CPI$) 후 신호 처리 보드의 출력 데이터가 실시간으로 통제보드로 전송된다는 것은 명백하다. 최종적으로 제어/데이터 분배를 위한 하나의 코어를 포함하여 총 8개 코어가 탑재된 상용보드를 선정하였으며, 선정된 하드웨어의 구조와 운용 타이밍도는 그림 4와 5에 도시하였다. 그림 4는 COTS 보드를 활용하여 구성한 처리통제부 하드웨어 구조를 나타낸다. 처리통제부는 MPC-8640D가 탑재되는 신호 처리 보드 3장과 통제보드 1장으로 구성되며, VPX backplane을 통해 통제보드

그림 4. 처리통제부(신호처리B'd+통제B'd) HW 구조
Fig. 4. HW configuration of processing & control unit.

표 2. 처리통제부 H/W 사양

Table 2. Specification of processing & control unit.

항목	사양
신호 처리 보드	GE社, DSP230
통제 보드	GE社, SBC610
광수신 모듈	Tekmicro社, JazzFiber
개발 플랫폼	VPX

와 연동된다. 상세 사양은 표 2에 기술한다.

그림 5는 신호 처리 보드 내 다중 프로세서 간 타이밍 다이어그램을 나타낸다. 설계된 방식의 처리 구조는 7번째 CPI가 입력되는 시점부터 첫 번째 CPI를 처리한 데이터가 출력되기 시작되므로 약간의 지연이 존재한다는 단점이 있다. 하지만 2-1절에 기술한 바와 같이 개발된 TWS 기반의 탐색 레이더는 다기능 레이더보다 운용 가능한 자원의 범위가 넓기 때문에 발생된 지연은 상쇄 가능하며, 실시간 신호처리 임무 수행에 문제가 없다. 그래서 하나의 알고리즘을 다중 프로세서를 활용하여 병렬 신호처리하는 구조^[5]에 비해 구현이 쉽고, 신호처리에 할당된 모든 코어가 동일한 임무를 수행하므로 확장성이 높은 장

그림 5 신호 처리 보드 타이밍 다이어그램
Fig. 5. Timing diagram for signal processing board.

그림 6. 신호처리 알고리즘 흐름도
Fig. 6. Algorithm flow chart for signal processing.

점이 있는 상기 기술한 구조(그림 5)를 적용하였다.

2-3 신호 처리 보드 탑재 알고리즘

3D 탐색 레이더는 저속(~ 30 m/s)으로 이동하는 작은 RCS 표적의 탐지를 목적으로 하는 신호처리 알고리즘이 탑재된다. 이동하는 표적의 탐지를 위해 원하지 않는 클러터 정보는 제거되어야 하며, 일반적으로 N-펄스 MTI(Moving Target Indicator) 필터를 적용하거나^{[2],[7],[8]}, 클러터 영역에 해당하는 셀(cell)들을 신호처리 과정에서 제외하는 방식이 사용된다. 하지만 저속 이동 표적의 경우, N-펄스 MTI 필터 적용시 SNR(Signal to Noise Ratio)의 손실은 불가피하며^[8], 이로 인하여 표적 탐지 성능의 저하를 야기한다. 그래서 본 논문에서는 저속 표적의 탐지를 위해 MTI 필터를 배제하고, 도플러 주파수 처리를 위한 디지털 필터와 클러터 맵(clutter map) 형성 기법, 그리고 필터링된 표적 신호의 검파를 위한 하이브리드 CFAR(Constant False Alarm Rate) 알고리즘의 조합을 통해 구현하였다. 그림 6에 신호 처리 보드에 탑재된 알고리즘의 흐름도를 도시하였다.

2-2장에서 기술한 바와 같이 신호 처리 보드로 입력되는 원시 데이터는 펄스 압축된 3채널의 2 Byte 디지털 데이터이며, 입력 원시 데이터는 그림 7과 같은 형태의 이차원 배열 데이터로 표현이 가능하다.

2-3-1 디지털 필터링

도플러 필터 뱅크(bank)를 구성하여 수신 신호에서 표적의 속도 성분을 추출하기 위하여 1D FFT를 그림 7의 누적된 펄스 방향으로 적용한다. 도플러 필터링의 결과로 그림 7의 이차원 데이터는 거리/속

그림 7. 신호 처리 보드 입력데이터
Fig. 7. Input data matrix to signal processing B'd.

그림 8. 거리/속도 배열 데이터
Fig. 8. Range/velocity matrix.

도 배열 데이터로 변환되며, 이는 그림 8에 도시하였다.

그림 8의 세로축에 표기된 속도 채널의 수는 송신 펄스의 수와 비례하며, 저속 표적 탐지를 위해 속도 채널의 분해능을 약 4.8 m/s로 설계하였다. 그 결과, 30 m/s 이하로 기동하는 관심 표적은 ± 8 번째 속도 채널 범위 내에서 관측 가능하다. 속도 채널의 분해능은 CPI내에서 처리되는 펄스 수의 증가를 통해서 향상이 가능하지만, 이는 레이더 운용 자원(시간)의 증가를 야기하므로 레이더 자원과 분해능 사이의 trade-off를 고려하여 선정하였다.

그림 8에서 특정 속도 채널에 도플러 필터 대신 FIR(Finite Impulse Response) 필터가 위치하고 있음

그림 9. +10 m/s에 해당하는 FIR 필터 응답 곡선
Fig. 9. Velocity coverage of FIR filter adjusted to +10 m/s.

을 확인할 수 있는데, FIR 필터는 특정 주파수 성분을 억제하기 위한 노치(notch) 필터의 특성을 갖도록 설계하였다^[9]. 본 논문에서는 영속도 성분을 억제하고 ± 10 m/s에 해당하는 성분을 통과대역으로 하는 FIR 필터를 설계하였으며, 설계된 필터의 응답곡선을 그림 9에 도시하였다.

그림 9에 도시된 FIR 필터는 ± 10 m/s에 해당되는 속도 성분의 탐지 성능 향상과 영속도 성분의 감쇄를 목적으로 해당 속도의 도플러 필터와 대체되므로 다른 속도 채널에 위치하는 도플러 필터의 탐지 성능에 미치는 영향은 무시 가능하다.

2-3-2 하이브리드(Hybrid) CFAR

필터링된 신호는 신호의 진폭값(envelope)을 얻기 위해 SQL(Square Law) 검파기를 적용하고, 그 출력으로 거리-속도 배열 데이터의 각 셀에 대한 크기(magnitude) 값이 획득 가능하다. SQL 검파기의 출력에는 CFAR 알고리즘이 적용되며, 일반적으로 CA(Cell Averaging) CFAR, OS(Order Statistic) CFAR 등이 사용 가능하다. CFAR 알고리즘은 정의된 오경보율(Probability of false alarm)에 대한 요구 사항을 만족시키기 위해 산출된 SNR 값을 활용하여 입력되는 신호로부터 잡음 신호와 클러스터 신호를 제거하기 위한 임계치(threshold)를 생성하는 역할을 수행^{[4],[10]}한다. 하지만 개발되는 탐색 레이더로 탐지하고자 하는 관심 표적은 영 속도(zero velocity) 근처에서 저속 기동 또는 호버링(hovering)하는 표적이므로 상기 기술한 CFAR 알고리즘만으로는 표 1에 기술된 요구 성능을 만족시킬 수 없다. 그래서 본 논문에서는 기술한 CA CFAR 또는 OS CFAR 알고리즘과 레이더 설치 사이

트 주변 클러터 신호의 크기 정보를 활용한 CM(Clutter Map) CFAR를 결합한 하이브리드 CFAR 알고리즘을 적용한다.

2-3-2-1 클러터 맵 형성

SQL(Square Law) 검파기의 출력으로 획득한 거리-속도 배열 데이터의 크기 값을 활용하여 식 (2)에 따라 레이더 운용 스캔마다 클러터 정보를 생성/갱신한다.

$$y_j(n) = (1-w) \times y_j(n-1) + w \times x_j(n) \quad (2)$$

여기서 y_j 는 출력 클러터 맵 데이터, x_j 는 입력되는 거리-속도 배열 데이터의 크기 값, n 은 스캔 횟수, w 는 가중치, j 는 2차원 배열 $[k][i]$ ($k=1, 2, \dots, \text{NDF}$ (속도채널 수), $i=1, 2, \dots, \text{NRG}$ (거리게이트 수))로 정의된다. 가중치 w 는 식 (3)과 같이 정의된다.

$$w = \frac{T_{scan}}{T_{avg}} \quad (3)$$

T_{scan} 은 전체 탐색 영역을 한번 스캔하기 위해 요구되는 시간이며, T_{avg} 는 레이더 설치 사이트 주위의 클러터 환경의 세기를 측정하는데 소요되는 시간으로 정의된다. 식 (2)와 식 (3)을 적용하여 생성된 클러터 맵에는 도심 환경에 산재되어 있는 표지 안 내판이나 고층건물, 산과 같은 고정된(stationary) 강한 클러터 성분과 이동 또는 정체 중인 다수의 차량에 의해 형성된 군집(group) 표적에 대한 클러터 성분이 반영되어 있다. 클러터 맵 갱신 가중치 w 는 T_{avg} 가 길어질수록 주위 환경에 대한 정확한 클러터 세기 값을 획득할 수 있지만, 기동하는(non-stationary) 클러터에 대한 신호 크기의 변화량에 대한 반영이 늦다는 점을 고려하여 설정해야 한다.

한번 생성된 클러터 맵 정보는 지속적인 갱신을 위해 신호 처리 보드에 탑재된 모든 프로세서 간 공유/활용되어야 하는데, 처리되는 클러터 맵 데이터 크기와 전송속도를 고려하면 실시간으로 수행되기 어렵다. 그래서 통제 보드에 클러터 맵의 저장을 위한 버퍼(buffer)를 할당하고, sRIO(serial RapidIO) 연동을 통해 실시간으로 신호 처리 보드의 각 코어들과 클러터 맵 정보를 공유하도록 구현하였다(그림

그림 10. 클러터맵 형성을 위한 코어간 데이터 흐름도
Fig. 10. Data flow chart between cores for clutter map.

10). 클러터 맵 데이터의 크기는 프로세서의 연산능력과 코어간 데이터 연동을 고려하여 선정이 가능하다.

2-3-2-2 MCA CFAR

본 논문에서는 CA CFAR 또는 OS CFAR 대신 MCA(Modified Cell Averaging) CFAR를 적용하였다.

적용된 MCA CFAR는 CA CFAR에 비해 비균질(non-homogeneous) 배경과 다중 표적이 복합적으로 존재하는 환경에서 우수한 탐지 성능을 가지며, OS CFAR에 비해 적은 연산량을 가지는 장점^{[4],[5]}이 있다. 그림 11은 디지털 필터링된 신호에 MCA CFAR 적용한 결과를 도시하였다. 탐지된 오경보(false plot)

그림 11. MCA CFAR 적용 결과
Fig. 11. Result of MCA CFAR.

는 데이터 처리 과정에서 제거되며, 두 개의 표적에 대해 성공적으로 탐지한 것을 확인할 수 있다.

2-3-2-3 CM CFAR

2-3-2-1에 기술된 클러터 맵은 2-3-2-2장에 기술된 MCA CFAR의 출력인 임계치와 결합되어 표적 존재 유무를 판단하는 지표가 되며, 이러한 처리 과정을 CM CFAR로 정의한다. SNR의 손실을 피하기 위해 N-펄스 MTI 필터를 적용하지 않은 상황에서 CM CFAR 알고리즘을 배제하고, MCA CFAR 알고리즘만을 적용한다면 영속도 채널과 그 인접한 채널 주위에서 발생하는 오경보로 인하여 탐지 레이더의 운용이 불가능하다. 그러므로 CM CFAR 알고리즘과 MCA CFAR 알고리즘이 결합된 하이브리드 CFAR 알고리즘은 개발된 탐지레이더의 신호처리 과정에서 필수이며, 탐지 성능의 향상을 위해 속도 채널에 따라 다른 처리 과정이 적용된다.

2-3-2-3-1 일반 속도 채널

우선 영속도 채널(그림 8, FFT(0))과 영속도 채널의 앞, 뒤로 인접한 속도 채널 두 개를(그림 8, FFT(1), FFT(-1)) 제외한 나머지 속도 채널($k=3, 4, \dots, \text{NDF}-1$)을 일반 속도 채널로 정의하고, MCA CFAR 알고리즘 적용 후 획득한 임계치와 클러터 맵 생성 후 획득한 임계치를 모두 활용한 CM CFAR 알고리즘을 적용한다. 그림 12에 일반 속도 채널의 처리 순서도를 도시하였다. MCA CFAR를 통해 계산된 임계치는 생성된 클러터 맵의 임계치와 비교를 통하여 큰 값이 표적 존재 유무 판단을 위한 최종 임계치로 선택되며, 입력되는 신호의 크기가 선택된 임계치를 초과하는 경우, 해당 거리 게이트(i)와 속도 채널(k)을 임시 버퍼에 저장시킨다. 그림 12에 도시한 일반 속도 채널 처리는 고정된 강한 클러터 성분과 차량 등에 의한 이동 클러터 성분이 혼재된 비균질 배경 하에서 기동하는 표적을 탐지하는데 이점을 갖는다. 하지만 표적이 호버링(hovering)과 같은 상하 기동하거나 영속도 근처로 기동하는 경우에는 표적의 탐지를 위해 별도의 처리 알고리즘이 적용되어야 하며, 그림 13에 그에 대한 순서도를 도시하였다.

2-3-2-3-2 영속도 채널과 그에 인접한 속도채널

그림 12. CM CFAR 처리 순서도(일반 속도 채널)

Fig. 12. Flow chart of CM CFAR(normal vel. ch.).

그림 13. CM CFAR 처리 순서도(영속도 채널과 영속도 인접 채널)

Fig. 13. Flow chart of CM CFAR(zero vel. channel and its successive vel. channel).

영속도 채널과 그에 인접한 속도 채널(그림 8, FFT(0), FFT(1), FFT(-1))은 형성된 클러터 맵의 임계치만으로 표적 존재 유무를 판단한다. 형성된 클러터 맵 데이터는 레이더 사이트 주변 신호의 세기가 반영된 상태이며, 상하 또는 저속 기동하는 표적에 대한 신호는 저장된 클러터 맵 데이터 임계치보다

그림 14. 거리 편차 연산 개념도
Fig. 14. Concept of range deviation.

클 것이라는 가정 하에 입력되는 신호 크기 정보를 표적 존재 유무 판단에 이용한다. 그러므로 클러터 맵의 임계치를 초과하는 신호는 거리 게이트(i)와 속도 채널(k)을 추출한 뒤, 임시 버퍼에 저장된다.

2-3-3 Range Estimation

CM CFAR 수행 후 임시 버퍼에 저장되어 있는 표적 플롯 데이터에 대한 거리 및 속도 정보는 설계된 레이더 시스템의 샘플링 율(sampling rate)에 의한 오차를 갖는다. 이러한 오차를 보상하여 보다 정확한 피크(peak) 정보를 예측(estimated)하기 위한 과정이 필요하며, 연속된 세 포인트의 피크 값을 활용하는 포물선 근사화(parabolic approximation) 기법이 적용된다(그림 14). 거리 편차 d_{rm} 은 식 (4)와 같으며, 출력되는 거리 정보는 거리게이트 인덱스(rg) + d_{rm} 으로 정의된다.

$$d_{rm} = \frac{A_1 - A_{-1}}{2A_0 - (A_1 + A_{-1})} \quad (4)$$

A_0 는 해당 거리게이트의 크기 값을 의미하며, A_1 , A_{-1} 은 A_0 와 인접한 셀의 크기 값을 의미한다. 속도 정보도 같은 방식으로 연산이 가능하다.

Range estimation 과정의 출력은 차(delta) 채널 데이터 처리과정을 거친 후, sRIO 연동을 통해 통제보드로 전송된다. 이후 통제보드에서는 2 out of 2 detection criterion 처리를 수행하는 plot extraction, 탐지된 표적 플롯들의 병합, 제거 등을 위한 plot merging, 표적 위치 예측(prediction)을 위한 α - β 필터 등의 데이터 처리 과정 등이 실시간으로 수행된다.

2.4 알고리즘 성능/기능 시험

2.4.1 시험 환경 및 결과

그림 15. 시험 구성도
Fig. 15. Test configuration.

표 3. 비콘 설정 파라미터
Table 3. Beacon parameter.

항목		설정값
모의 표적	주파수	L대역
	생성 표적 수	1 대
	속도	-30 m/s
	거리	0.8 ~ 6 km
	크기	0.1 m ²

탐색 레이더 신호 처리 보드에 탑재된 알고리즘의 성능 분석을 위해 모의 표적 신호를 발생시키는 표적 비콘 및 비콘 제어 장치, 레이더 운용 모드 제어 및 상태 감시를 위한 운용 콘솔, 원시 데이터 저장 및 알고리즘 분석을 위한 데이터 획득 장치(DAS: Data Aquisition System) 등을 연동하여 그림 15와 같이 구성하였다. 모의 표적 비콘의 표적 생성 관련 파라미터는 표 3에 정리하였다.

DAS를 활용한 알고리즘 성능 분석 결과는 그림 16에 도시하였으며, 그림 16(a), (b)를 통해 클러터 및 표적 신호의 크기, 위치 등을 알 수 있다. 그림 16(c)와 (d)는 표적 신호를 기준으로 거리, 속도 방향으로 일차원 도시한 결과이다. 30 m/s의 속도로 진입하는 모의 표적은 4.8 m/s로 설계된 속도 분해능에 의해 8번 속도 채널에서 가장 큰 신호 세기를 갖게 되고, 그림 16(c)에서 확인이 가능하다. 그리고 6 km에서 최초 발생되어 4.3 km 근방에서 진입중인 모의 표적은 그림 16(d)에서 4.34 km(=126(거리게이트)×30 m(거리 샘플링 간격)+560 m(거리 보정값))에서 탐지된 것을 확인이 가능하다. 이상의 결과, 펄스 압축 및

(a)

(b)

(c)

(d)

그림 16. (a) SQL 검파기 출력 데이터(2D), (b) SQL 검파기 출력 데이터(3D), (c) 표적탐지 결과(거리 방향 도시), (d) 표적탐지 결과(속도 방향 도시)

Fig. 16. (a) Result of SQL detector(2D), (b) Result of SQL detector(3D), (c) Result of target detection along to range axis, (d) Result of target detection along to vel. axis.

그림 17. 표적탐지 결과(거리 방향 도시)

Fig. 17. Result of target detection along to range axis.

디지털 필터링의 정상 동작을 확인할 수 있다. 그리고 그림 16(c)와 (d)를 통해 클러터 신호는 생성/갱신된 클러터 맵의 임계치를 초과하지 않고 표적 신호만 초과한 것을 확인할 수 있으며, 이를 통해 하이브리드 CFAR가 성공적으로 수행됨을 확인할 수 있다. 그림 16(d)에 점선으로 표현된 임계치는 일부 속도 채널에만 적용되어 있는 것을 확인할 수 있으며, 이는 2-3-2-1절에 기술한 바와 같이 프로세서의 연산 능력과 저장 버퍼의 크기를 고려하여 탐지를 원하는 관심 표적의 기동 속도에 해당하는 속도 채널만을 처리했기 때문이다.

그림 17은 모의 표적의 속도만 -12 m/s로 변경한 후 재시험한 결과이며, 예상대로 4번 속도 필터에서 가장 큰 신호 세기를 확인하였다. 그림 16(c)와 비교 시 수신된 클러터 신호와 표적 신호 SNR의 차이를 확인할 수 있는데, 이는 빔 조향각의 변경으로 인하여 발생한 결과이다.

그림 18은 기술한 신호처리 알고리즘뿐만 아니라, 통제보드에 탑재되어 있는 데이터 처리 알고리즘까지 모두 수행한 결과가 전시되는 운용 콘솔 GUI의

그림 18. 운용 콘솔 GUI 화면

Fig. 18. GUI display of operational console.

표 4. 신호처리 알고리즘 별 연산 시간

Table 4. Computational burden of each algorithm.

알고리즘	시간[ms]
Demuxing + split	26
Doppler filtering	22
FIR filter	18
Envelop detector	5
MCA-CFAR	38
Cluttermap	0.13
Delta ch. calculation	0.7
Total	109.83

전시 화면이다. 점(dot)은 표적 플롯 정보, 점선 끝의 사각 박스는 표적이 추적된 상태임을 의미하며, 처리통제부에 탑재된 신호 처리 및 데이터 처리알고리즘이 정상 동작 중임을 판단이 가능하다.

2-4-2 연산 시간 분석

2-3장에서 기술한 신호 처리 보드 내 탑재된 알고리즘별 소요되는 시간은 표 4와 같다. 표 4에서 “Demuxing+split”은 신호처리로 입력되는 원시데이터의 demuxing 과정과 데이터 형변환 과정을 의미한다. 2-2장에서 기술한 바와 같이 다중 프로세서를 활용한 CPI별 독립 연산구조에 따라 하나의 프로세서에 그림 6에 도시된 전체 신호처리 알고리즘이 탑재되며, 알고리즘 연산 시간은 약 110 ms으로 측정되었다. 이 결과로부터 신호 처리 보드 가용 연산 능력의 약 70 %($=110 \text{ ms}/156 \text{ ms}$)를 활용하고 있는 것을 확인하였다(*그림 5의 T_1 과 T_2 를 제외하고, 순수 신호처리를 위해 할당 가능한 연산 시간: 약 156 ms).

본 논문에서 기술한 소프트웨어 구조는 다중 프로세서를 활용한 CPI별 독립 연산 구조이며, 각 코어별 독립 연산을 수행하므로 코어간 데이터 연동을 하지 않는 구조이지만, 하나의 알고리즘을 다중 프로세서를 활용하여 처리하는 구조로 설계하였다면 알고리즘 처리를 위해 활용된 코어간의 데이터 분할 및 재병합을 위한 전송 시간이 추가로 고려되어야 한다.

III. 결 론

본 논문에서는 상용 보드를 활용한 3D 탐색 레이

더용 신호처리기의 하드웨어 선정 및 소프트웨어 구조 설계, 탑재 알고리즘 분석 및 시험결과에 대해 기술하였다. 시험 결과 분석을 통해 다중 프로세서를 활용한 고속 실시간 신호 처리 보드의 요구 성능 및 기능이 만족됨을 확인하였다.

References

- [1] B. L. Scala, B. Moran, "Optimal target tracking with restless bandits", *Digital Signal Processing*, pp. 479-487, vol. 16, no. 5, 2006.
- [2] 양진모, 신상진 외, "표적 도플러 속도와 클러스터 스펙트럼 특성에 따른 레이더 신호 처리기의 탐지 성능 분석", *한국전자과학회논문지*, 22(1), pp. 47-58, 2011년 1월.
- [3] Hyun-Ik Shin, Bum-Suk Lee, "Timing analysis of doppler filter bank with parallel processing configuration", *WSEAS Transactions on Electronics*, issue 2, vol. 1, Apr. 2004.
- [4] Jin Mo Yang, Whan Woo Kim, "Performance analysis of a minimum selected cell-averaging CFAR detection", *11th IEEE International Conference on Communication Technology Proceedings*, pp. 442-445, 2008.
- [5] 노지은, 최병관 외, "3차원 다기능 레이더 고속 실시간 신호 처리기 개발", *한국전자과학회논문지*, 22(12), pp. 1045-1059, 2011년 12월.
- [6] Richards, *Fundamentals of Radar Signal Processing*, McGraw-Hill, 2005.
- [7] Skolnik, *Introduction to Radar System*, McGraw-Hill, 2001.
- [8] D. Curtis Schleher, *MTI and Pulsed-Doppler Radar*, Artech House, 1991.
- [9] E. D'addio, A. Farina, and F. A. Studer, "Performance comparison of optimum and conventional MTI and doppler processors", *IEEE Transactions on Aerospace and Electronic Systems*, vol. AES-20, no. 6, Nov. 1984.
- [10] H. Rohling, "Radar CFAR thresholding in clutter and multiple target situations", *IEEE Transactions on AES*, vol. 19, 1983.

배 준 우

2007년 2월: 영남대학교 전자공학과 (공학석사)
2006년 12월~현재: 삼성탈레스 ISR
· PGM 연구소 선임연구원
[주 관심분야] 레이더 시스템, 레이더 신호/데이터 처리 등

최 재 흥

2010년 2월: 성균관대학교 전자전기 컴퓨터공학과 (공학석사)
2009년 9월~현재: 삼성탈레스 ISR
· PGM 연구소 전문연구원
[주 관심분야] RF, 레이더 송수신기, 초고주파 회로 설계 등

김 봉 재

1996년 2월: 경남대학교 전기공학과 (공학석사)
2002년 1월~현재: 삼성탈레스 ISR
· PGM 연구소 수석연구원
[주 관심분야] 레이더 신호/데이터 처리용 SW, 임베디드 RTOS SW

정 래 형

2001년 2월: 동아대학교 전자공학과 (공학석사)
2001년 2월~현재: 삼성탈레스 ISR
· PGM 연구소 전문연구원
[주 관심분야] 신호처리(영상, 레이더) 알고리즘, RTOS, MCU 등