◆ 특집 ◆ 차세대 반도체 패키징 기술

반도체 3차원 칩 적층을 위한 미세 범프 조이닝 기술

Micro-bump Joining Technology for 3 Dimensional Chip Stacking

고영기^{1,2}, 고용호^{1,3}, 이창우^{1,✉}
Young-Ki Ko^{1,2}, Yong-Ho Ko^{1,3}, and Chang-Woo Lee^{1,✉}

1 한국생산기술연구원 마이크로조이닝 센터 (Micro-joining center, Korea Institute of Industrial Technology)

2 도호쿠대학교 재료시스템 전공 (Department of Materials Processing, Tohoku University)

3 한국과학기술원 기계공학과 (Department of Mechanical Engineering, KAIST)

✉ Corresponding author: cwlee@kitech.re.kr, Tel: +82-32-850-0245

Manuscript received: 2014.8.26 / Revised: 2014.9.17 / Accepted: 2014.9.17

Paradigm shift to 3-D chip stacking in electronic packaging has induced a lot of integration challenges due to the reduction in wafer thickness and pitch size. This study presents a hybrid bonding technology by self-alignment effect in order to improve the flip chip bonding accuracy with ultra-thin wafer. Optimization of Cu pillar bump formation and evaluation of various factors on self-alignment effect was performed. As a result, highly-improved bonding accuracy of thin wafer with a 50μm of thickness was achieved without solder bridging or bump misalignment by applying reflow process after thermo-compression bonding process. Reflow process caused the inherently-misaligned micro-bump to be aligned due to the interface tension between Si die and solder bump. Control of solder bump volume with respect to the chip dimension was the critical factor for self-alignment effect. This study indicated that bump design for 3D packaging could be tuned for the improvement of micro-bonding quality.

Key Words: 3D packaging (3 차원 전자패키징), TSV (Through Silicon Via) (관통 실리콘 비아), Micro-bump (마이크로 범프), Stacking (적층), Thin wafer (박형 웨이퍼)

1. 서론

2차원적 연결에서 3차원 적층으로 전자 패키지의 패러다임이 변화하면서 웨이퍼 두께 및 접합부의 크기 변화도 함께 수반되었다. 2차원적 연결에서는 웨이퍼 두께가 약 700~780μm 로 두꺼웠으나 3차원 적층을 위해서는 50~100μm 로 얇아지고 있

다. 또한 접합부 크기도 2차원적 연결에서는 150μm 이상 피치(pitch)를 가졌지만 3차원으로 전환되면서 50μm 이하 피치가 요구되고 있다.¹ 따라서 초박형 웨이퍼의 핸들링(handling) 기술 및 초미세피치 범프의 접합 기술의 확립이 필요하다. 이러한 기술적 이슈의 해결을 위하여 현재 Cu pillar와 solder cap의 사용이 증가하고 있다.² Cu pillar와

solder cap은 기존의 솔더 볼(solder ball) 방법과 비교하여 차세대 플립 칩(flip chip) 기술에 많은 장점과 이익을 제공한다. Cu pillar 사용에 의해 40 μm 이하의 초미세 피치 구현이 가능하고 언더필(underfill)을 위한 범프 높이를 20~30 μm 로 형성할 수 있으며 높은 전기적 특성과 열전도성을 가진다.³

하지만 피치와 범프 크기가 작아지면서 접합시 solder bridging,⁴ bump misalign⁵의 문제가 발생되었다. M. Gerber 등⁶은 미세 피치 Cu pillar 범핑과 assembly 공정의 리뷰(review)를 통하여 이러한 문제에 대해 언급하였다. 직경 20 μm , 피치 50 μm 의 Cu pillar와 Sn-2.5Ag cap의 플립 칩 본딩 시 미세 범프의 misalign이 나타났으며 기판과 다이(die)사이의 높이 제어가 쉽지 않아 overbond에 의해 솔더가 옆으로 빠져나가 인접한 솔더와 연결되는 솔더 short를 야기하였다. 따라서 미세 피치로 인한 위치 정밀도와 범프 높이의 제어가 중요하다고 강조하였다. 이러한 본딩 문제의 해결을 위하여 Lin, Y. M. 등⁷과 Zhan, C.-J., 등⁵은 gap-control thermo-bonding 기술을 보고하였다. 이 본딩 기술은 범프 간의 접합 높이를 제어하여 overbond를 방지하여 솔더가 옆으로 빠져나오는 것을 방지하였다. 하지만 이 기술 역시 미세 범프에 대한 misalign이 되어 본딩 정확도가 높지 않았다. M. Lee 등⁸과 Y. Orii 등⁹은 열 압착과 리플로우(reflow) 공정을 활용하여 본딩을 실시하였다. 이 기술은 리플로우 공정을 사용함에 따라 수율이 높고 overbond를 방지하여 솔더 bridging 문제를 해결하였다. 하지만 웨이퍼 두께는 100 μm 이상이었는데 그것은 웨이퍼 두께가 100 μm 이하로 얇아지면서 미끄러짐(slip)에 의한 핸들링 문제가 나타났기 때문이다. 따라서 100 μm 이하의 초박형 웨이퍼에 대한 적용이 어려워 3차원 적층 기술의 요구를 만족하지 못한다. 따라서 본 연구에서는 3차원 적층을 위한 미세 Cu pillar 형성 공정의 최적화와 Sn-3.5Ag의 본딩 특성을 분석하여 자가 정렬(self-alignment) 효과에 의한 초박형 웨이퍼(두께: <100 μm)의 접합 기술을 제안하고 확립하였다.

2. 실험 방법

Fig. 1은 본 연구의 범핑과 본딩 공정의 절차를 보여준다. SiO₂가 증착된 웨이퍼위에 스퍼터(sputter)를 사용하여 접착층(adhesion layer)인 Ti를 0.05 μm 증착하고 그 위에 Cu 씨앗층(seed layer)을

Fig. 1 Bumping and bonding process procedure

Table 1 Electroplating conditions of Cu pillar bump

Bump dia. (μm)	20	20	8
Current density (ASD)	12	2.5	2.5
Time (min)	30	30	30

0.5 μm 증착하였다. 그리고 스핀 코터(spin coater)에 의해 포토 레지스트(photo resist: PR)을 도포하고 100 $^{\circ}\text{C}$ 에서 5분 동안 soft bake하였다. PR은 negative type을 사용하였다. 마스크 얼라이너(Mask aligner)에 의해 UV 노출(exposure)을 실시하여 PR을 cross-link 하였으며 develop 공정을 실시하여 PR내에 미세 홀(hole)을 형성하였다. 그 후 PR을 120 $^{\circ}\text{C}$ 에서 5분 동안 hard bake를 실시하여 범프 도금을 위한 웨이퍼를 준비하였다. 전해도금 공정에 의해 홀 내에 Cu pillar를 형성하고 연속적으로 Cu pillar위에 Sn alloy cap (Sn-3.5Ag)를 형성하였다. Cu pillar의 형성은 도금액 종류에 따른 변화를 관찰하고 Cu pillar의 증착율은 Table 1과 같이 전류밀도 2.5ASD와 12ASD로 30분간 도금하여 비교 평가하였다.

Sn alloy cap의 형성은 Sn-3.5Ag의 조성을 얻고 자 전류밀도를 변화하여 최적의 전류밀도에 따른 조성변화와 증착율을 관찰하였다. 도금 온도는 40 $^{\circ}\text{C}$, 도금 시간은 1min으로 고정하여 전류 밀도에 따른 Ag 함량과 도금 증착율을 분석하였다. Sn-3.5Ag cap의 도금 후 PR을 제거하고 리플로우 공정을 실시하여 Sn alloy cap을 Cu pillar 위에 최종적으로 형성하였다.

Bump가 형성된 chip은 flux 도포 후 1~2N의 압력에서 5~10초간 열압착 본딩을 실시하였다. 열압착 본딩 후 cleaning과 underfill은 실시되지 않았다. 그리고 추가적으로 열압착 후 최고온도 255 $^{\circ}\text{C}$ 의 온도에서 리플로우를 실시하여 열압착만을 실시한

Fig. 2 Bonding conditions of thermal compression and reflow process

결과와 열압착후 리플로우를 실시한 결과를 비교 분석하여 특성을 관찰하였다. 열 압착 본딩 및 리플로우 조건은 Fig. 2에 나타내었다. 본 본딩 실험에 사용된 칩(chip)의 크기는 2mm × 2mm이며 범프 직경은 20 μ m, 범프 수는 총 506개이다. 그리고 웨이퍼 두께는 50, 100 μ m 이다. 범프 형상 및 조성 분석, 범프 접합부 분석은 field emission scanning electron microscopy (FE-SEM), Energy dispersive X-ray spectroscopy (EDS)를 통해 관찰하였다.

3. 실험 결과

3.1 Optimization of micro-bump formation

최적의 Cu pillar 형성을 위하여 도금액 종류에 따른 결과를 먼저 관찰하였다. Fig. 3은 각각의 Cu 도금액(제조사:ANC Korea)에 따라 Cu pillar의 형상 결과를 보여준다. Fig. 3(a)는 TSV 전해도금 충진에 사용되는 Cu 도금액(Model:Cu-500)을 사용하여 도금 한 결과로서 전류 밀도 1.2ASD(Ampere per Square Deci-meter)에서 실시되었다. 도금 결과 Cu pillar의 윗부분이 볼록한 형태를 나타내었는데 이것은 TSV 충진용으로 사용되는 도금액은 pinch-off

Fig. 3 Variations of Cu pillar morphology depending on electroplating solution: (a) Cu-500 (TSV)/1.2ASD/90min, (b) Cu-300 (fine pitch)/1.5ASD/30min, (c) Cu-300 (fine pitch)/2.5ASD/30min

Fig. 4 Variations of Cu pillar morphology depending on current and time: (a) Dia. 20 μ m /12ASD/30min, (b) Dia. 20 μ m /2.5ASD/30min, (c) Dia. 8 μ m /2.5ASD/30min

현상을 방지하기 위하여 첨가제에 의해 edge부의 current를 낮추었기 때문으로 판단된다. 이러한 볼록한 형태는 Sn alloy cap 범프 형성에 영향을 미치므로 평평한 표면을 갖는 Cu pillar의 형성이 필요하다. Fig. 3(b)는 미세피치용 도금액(Model:Cu-300)을 사용하여 전류 밀도 1.5ASD에서 도금한 결과이다. 이 경우 범프의 형상이 찌그러져 Cu pillar로서 사용하기에 적합하지 않다. Fig. 3(c)는 Fig. 3(b)와 같은 미세 피치용 도금액을 사용하여 전류 밀도 2.5ASD에서 도금 한 결과이다. 전류 밀도가 증가하면서 Cu pillar의 형상은 개선 되었으며 평평한 표면을 갖는 Cu pillar를 관찰하였다. 이러한 평평한 표면은 Sn 도금을 양호하게 한다. TSV 충진용 도금액은 낮은 전류밀도에서도 도금이 가능하여 Cu pillar 높이를 제어하기 유리한 장점을 가지고 있으나 볼록한 형태를 갖는 문제를 가지고 있다. 그에 반해 미세피치용 도금액은 전류밀도가 높아 빠른 도금 속도와 평평한 형상의 Cu pillar 형성이 가능하나 높이 조절을 위해서는 시간 등의 변수를 유의해야 한다.

Cu pillar 형성을 위한 전해도금 공정은 전류 밀도와 시간에 의해 의존한다. 본 연구에서 Cu pillar 형성을 위해 사용된 미세피치 도금액에 대한 전류 밀도와 시간등에 따른 증착율을 분석하였다. 증착

을 평가하는 이유는 Cu pillar의 높이 조절이 필수적이기 때문이다.

Fig. 4는 전류 밀도에 따른 Cu pillar의 높이를 분석한 것으로서 이를 바탕으로 증착율을 도출할 수 있다. Fig. 4(a)는 12ASD의 높은 전류밀도에서 도금된 Cu pillar 이미지로서 PR높이보다 과도금(over-electroplating) 된 것을 볼 수 있다. 따라서 도금 공정 동안의 증착율은 중요하다. 이 때의 pillar 높이는 $25\mu\text{m}$ 로서 증착율은 $8\mu\text{m}/10\text{min}$ 이었으나 과도금에 의해 정확한 증착율은 아니다. Fig. 4(b)와 (c)는 2.5ASD의 전류밀도에서 30분간 도금된 서로 다른 직경을 가진 Cu pillar의 형성을 보여준다. 이 경우 pillar의 높이가 $9\mu\text{m}$ 로 같아 직경이 변화하여도 증착율은 동일하며 $3\mu\text{m}/10\text{min}$ 의 증착율을 확인하였다. 위와 같은 실험을 통해 Cu pillar 형성 공정을 최적화하고 $8\mu\text{m}$ 직경의 미세 Cu pillar 형성 기술도 확보하였다.

Bigas, M. 등¹⁰과 Zhao, Q 등¹¹은 Sn-Ag 범프의 형성에 대해 보고하였다. 기존 논문에서 Sn-3.5Ag 범프의 형성 방법은 Sn과 Ag를 따로 전해 도금 후 리플로우를 실시하여 반응에 의해 Sn-3.5Ag 범프를 형성하였다. 하지만 본 연구에서는 Sn-Ag 합금 도금액을 통해 전해도금을 실시하여 한번의 전해도금 공정으로 Sn-3.5Ag cap을 형성하였다.

Fig. 5는 Cu pillar 위에 Sn-3.5Ag cap의 형성을 위한 전해도금 시 전류밀도에 따른 Ag 조성 변화와 도금율을 보여준다. Sn-Ag의 공융(eutectic) 조성(Sn-3.5Ag, 용융점: 221°C)을 얻기 위하여 전류 밀도를 변화하여 그에 따른 Ag 함량과 도금율을 분석하였다. 전류밀도가 4ASD에서는 Ag 함량이 15wt% 이상으로 관찰되었다. 전류 밀도가 증가하면서 Ag 함량은 점차 감소하였고 6.5ASD의 전류 밀도에서 3.5wt%의 공정 조성을 확인 하였다. 전류 밀도 증가에 따라 Ag 조성이 감소하는 것은 Sn과 Ag 이온의 증착율이 전류밀도에 따라 차이가 발생하기 때문으로 판단된다. 또한 전류 밀도 증가에 따라 도금율은 점차 증가하였으며 6.5ASD에서 $3.3\mu\text{m}/\text{min}$ 의 증착율을 나타내었다. 따라서 Sn-Ag의 공융 조성을 위한 복합 도금 조건의 최적화를 수행하였다. Fig. 6은 확립된 도금 조건을 바탕으로 형성된 Cu pillar 위에 Sn-3.5Ag cap을 보여준다. Fig. 6(a)의 직경 $20\mu\text{m}$ 범프 뿐만 아니라 Fig. 6(b)와 같이 직경 $8\mu\text{m}$ 범프에 대한 Cu pillar 및 Sn-3.5Ag cap 범프의 형성 공정의 최적화를 이루었다.

Fig. 5 Variation of Ag content and electroplating rate depending on current density for Sn-3.5Ag cap bump

Fig. 6 Formation of Sn-3.5Ag cap bump on Cu pillar: (a) $20\mu\text{m}$ bump, (b) $8\mu\text{m}$ bump

3.2 Advanced bonding technology with high accuracy of micro-bump on thin wafer

본딩 기술에서의 이슈를 다시 한번 언급하면 미세 범프에 따른 위치 정확도가 필요하며 $100\mu\text{m}$ 이하 두께의 초박형 웨이퍼에 대한 본딩 방법의 개발이 필요하다. 본 연구에서는 확립된 범핑 공정에 의해 제작된 Sn-3.5Ag cap 범프의 본딩 특성을 관찰하고 이 범프를 활용하여 초박형 웨이퍼에 대한 본딩 공정을 새롭게 제안하였다.

Fig. 7은 $20\mu\text{m}$ 직경 범프에 대한 플립 칩 장비를 이용한 열 압착 본딩 시 압력에 따른 범프 접합부의 결과를 보여준다. 이 이미지에서 볼 수 있듯이 두 조건 모두 미세 범프의 misalign이 발생되었다. 약 $3\sim4\mu\text{m}$ 의 misalign은 발생되었고 이것은 플립 칩 장비의 정확도에 의존한다. 2N의 본딩 압력에서는 범프의 파손도 유발되었다. 이러한 문제를 해결하고자 본 연구에서는 열 압착 본딩 후 리플로우를 실시하여 범프의 자가 정렬 효과를 관찰, 검증하고자 하였다. 기존 SMT (Surface Mounting

Fig. 7 Cross-section image of micro-bump after flip-chip bonding: (a) 1N, 10sec, (b) 2N, 10sec

Fig. 8 Schematic of a simple static surface tension model¹²

Tech-nology) 공정에서 칩의 PCB (Printed Circuit Board)내 실장 시 칩 크기, 패드 (pad) 크기에 따라 칩의 자가 정렬 효과는 확인되었다. 이 경우 솔더량이 큰 변수로 작용되었는데 이것은 솔더량에 따른 표면장력의 차이가 발생되기 때문으로 판단된다. 미세 범프의 본딩 공정의 기존의 연구 사례 중 Lee, M. 등⁸과 Orii, Y. 등⁹은 이미 열 압착 본딩 후 리플로우를 실시하여 범프 접합에 관한 연구를 보고하였다. 하지만 100μm 이하 두께의 웨이퍼에서는 slip이 발생되어 본딩하지 못하였다. 따라서 본 연구에서는 slip 문제를 자가 정렬(self-alignment) 효과로 이용하여 초박형 웨이퍼에 대한 본딩 방안을 제시하고자 하였다.

자가 정렬은 표면장력과 solid edge 효과를 사용하여 정렬을 유도하는 기술이다.¹² 첫째로 표면 장력 효과는 자유 표면 에너지가 droplet의 영역 변화에 따른 표면 장력과의 관계에 대한 효과이다. 그리고 solid edge 효과는 droplet이 protrusion과 micro-chip 사이에서 벗어나지 않게 제한하는 힘을 설명한다. 특정 영역 안에 droplet을 제한하는 것은 자가 정렬 정확도 측면에서 매우 중요한 요소이다. Fig. 8은 칩의 자가 정렬에 대한 모식도를 보여준다. Protrusion은 TSV에서 bottom pillar, microchip은 top pillar, droplet은 용융 솔더(=cap 범프)와 같은 역할을 한다. Micro-chip이 droplet 위에 놓여졌을 때, misalignment가 발생하고 최소 자유 표면 에너지

Fig. 9 Effect of height of Sn-3.5Ag cap on self-alignment: (a) 5μm, (b) 10μm

Fig. 10 Effect of wafer thickness on self-alignment: (a) 100μm, (b) 50μm

원리로 인하여 droplet은 최소 시스템 에너지 상태에 도달하기 위하여 그 모양을 변화하게 된다. 따라서, micro-chip은 droplet의 모양 변화에 따라 끌려 오게 되고, 결국 자가 정렬이 달성되는 것이다. 결론적으로, 자가 정렬은 표면 장력에 의한 droplet의 모양변화와 misalignment 거리에 따른 자유 표면 에너지가 최소화 되려는 현상, solid edge에서 평소보다 높은 contact angle을 유지하려는 영향에 의하여 실현되는 것이다.

이러한 원리를 바탕으로 Sn-Ag cap 범프의 높이를 변화하여 플립 칩 본딩 장비에 의한 열 압착 본딩 후 리플로우 공정을 실시하였다. Fig. 9은 그 결과를 보여준다. 플립 칩 조건은 1.5N의 압력에서 5초간 본딩 후 최고 온도 255℃에서 리플로우를 실시하였다. 본 이미지에서 볼 수 있듯이 Fig. 7의 열 압착 본딩만을 실시한 접합부와 비교하여 align이 50% 이상 향상된 것을 관찰하였다. 또한 Fig. 9(b)에서 보는 것과 같이 솔더량이 증가하면서 더욱 높은 본딩 정확도를 갖는 미세 범프 접합부를 형성하였다. 솔더량 증가와 함께 표면장력이 커짐에 따라 자가 정렬 효과가 더욱 증가한 것으로 판단된다.

Fig. 10은 웨이퍼 두께에 따른 자가 정렬 효과를 관찰한 것으로서 기존의 연구에서 100μm 이상

두께의 웨이퍼에서는 slip이 발생하지 않는다는 보고가 있었다. 본 연구의 실험 결과도 마찬가지로 100 μ m 두께의 웨이퍼에서는 Fig. 10(a)와 같이 자가 정렬 효과가 나타나지 않았다. 하지만 Fig. 10(b)의 50 μ m 두께 웨이퍼의 경우 자가 정렬에 의한 높은 범프 위치 정밀도를 나타내었다. 따라서 이 연구에서 본딩 정확도 향상을 위한 주요 요인은 확인 되었다. 본 공정의 주요 요인은 칩 부피와 솔더 부피이다. 칩 부피가 같을 경우 솔더 부피는 본딩 정확도에 영향을 미친다. 그리고 솔더 부피가 같을 경우 칩 부피는 본딩 정확도에 영향을 미친다. 따라서 칩 부피와 솔더 부피의 비율은 매우 중요하며 본딩 정확도 향상을 위해 최적화 되어야 한다. 만약 동일한 디자인에서 범프 직경이 20 μ m 에서 10 μ m 로 줄어든다면 범프의 높이 또는 수가 4배 이상 증가하여야 자가 정렬 효과에 의한 본딩 정확도 향상을 기대할 수 있을 것으로 판단된다. 이러한 실험 결과를 바탕으로 향후 3차원 패키징을 위한 범프 설계는 가능할 것으로 기대된다.

4. 결론

3차원 적층을 위해서는 웨이퍼 두께 및 접합 부크기가 기존의 2차원적 연결과 비교하여 크게 감소되므로 초박형 웨이퍼를 적용한 미세피치 범프의 접합 기술의 확립은 필수적이다. 본 연구에서는 이러한 기술적 이슈들의 해결을 위하여 먼저 Cu pillar 형성 조건을 확립하고자 도금액 종류, 전류 밀도, 시간 등을 변화하여 최적의 Cu pillar 형성 조건을 확립하였다. 또한 Cu pillar 위에 Sn-3.5Ag cap 범프 형성 조건을 최적화 하였고 이것의 본딩 특성을 관찰하였다. 특히, 기존의 플립 칩 본딩 결과 솔더 bridging과 misalign이 관찰되었는데 열 압착 본딩 후 리플로우 공정을 적용하여 자가 정렬 효과에 의해 50 μ m 두께의 초박형 웨이퍼를 솔더 bridging과 misalign없이 본딩을 완료하였다.

후 기

본 연구는 미래창조과학부, 산업기술연구회의 융합연구사업인 “차세대 반도체 MCP 핵심 기술개발”의 지원에 의해 수행되었습니다.

REFERENCES

1. Toriyama, K., “Challenges for Micro-bump Interconnection Technologies,” Proc. of 11th International Symposium on Microelectronics and Packaging, pp. 253-257, 2012.
2. Yole development “3D IC & TSV Technology,” 2011.
3. Jinhua, Y., Anand, A., Mui, Y., Srinivasan, P., and Master, R., “Reliability Study on Copper Pillar Bumping with Lead Free Solder,” Proc. of 9th EPTC, pp. 618-622, 2007.
4. Lim, S. P. S., Siow, L. Y., Chai, T. C., Rao, V. S., Takeda, K., et al., “Challenges and Approaches of Ultra-Fine Pitch Cu Pillar Assembly on Organic Substrate using Wafer Level Underfill,” Proc. of IEEE 15th EPTC, pp. 538-542, 2013.
5. Zhan, C.-J., Chuang, C.-C., Juang, J.-Y., Lu, S.-T., and Chang, T.-C., “Assembly and Reliability Characterization of 3D Chip Stacking with 30 μ m Pitch Lead-Free Solder Micro Bump Interconnection,” Proc. of 60th ECTC, pp. 1043-1049, 2010.
6. Gerber, M., Beddingfield, C., O'Connor, S., Min, Y., MinJae, L., and et al., “Next Generation Fine Pitch Cu Pillar Technology – Enabling Next Generation Silicon Nodes,” Proc. of 61th ECTC, pp. 612-618, 2011.
7. Lin, Y. M., Zhan, C. J., Juang, J. Y., Lau, J. H., Chen, T. H., et al., “Electromigration in Ni/Sn Intermetallic Micro Bump Joint for 3D IC Chip Stacking,” Proc. of 61th ECTC, pp. 351-357, 2011.
8. Lee, M., Yoo, M., Cho, J., Lee, S., Kim, J., et al., “Study of Interconnection Process for Fine Pitch Flip Chip,” Proc. of 59th ECTC, pp. 720-723, 2009.
9. Orii, Y., Toriyama, K., Noma, H., Oyama, Y., Nishiwaki, H., et al., “Ultrafine-pitch C2 Flip Chip Interconnections with Solder-Capped Cu Pillar Bumps,” Proc. of 59th ECTC, pp. 948-953, 2009.
10. Bigas, M. and Cabruja, E., “Characterisation of electroplated Sn/Ag solder bumps,” Microelectronics Journal, Vol. 37, No. 4, pp. 308-316, 2006.
11. Zhao, Q., Hu, A., Li, M., and Sun, J., “Effect of Electroplating Layer Structure on Shear Property and Microstructure of Multilayer Electroplated Sn-3.5 Ag

- Solder Bumps,” *Microelectronics Reliability*, Vol. 53, No. 2, pp. 321-326, 2013.
12. Tsai, C. G., Hsieh, C. M., and Yeh, J. A., “Self-Alignment of Microchips using Surface Tension and Solid Edge,” *Sensors and Actuators A: Physical*, Vol. 139, No. 1, pp. 343-349, 2007.